



Key Stone® K3

数据手册

2026.07.15

V1.6

版本历史

版本号	日期	说明
V1.6	2026.07.15	更新视频子系统参数
V1.5	2026.07.01	更新 A100 特性描述
V1.4	2026.06.10	增添 Part Number 描述
V1.3	2026.05.21	更新 A100 中断描述
V1.2	2026.05.19	更新视频子系统参数
V1.1	2026.05.08	更新图像子系统特性
V1.0	2026.04.30	首版

版权声明

© 2026 进迭时空（杭州）科技有限公司。保留所有权利。

本文档为进迭时空保密信息，按"现状"提供，不作任何保证。详情见[法律声明](#)。

进迭时空（杭州）科技有限公司

地 址：浙江省杭州市余杭区五常街道未来天空中心 B 座 701 室

网 址：<https://www.spacemit.com>

联系电话：0571-89000775

目录

版本历史	I
版权声明	II
目录	III
1. 概述	1
1.1. 产品简介	1
1.2. 主要特性	1
1.3. 架构框图	3
2. 规格参数	4
2.1. CPU 子系统	4
2.1.1. SpacemiT® X100™ RISC-V 核	4
2.1.2. SpacemiT® A100™ AI 核	5
2.1.3. RT24 RISC-V 核	6
2.1.4. 调试子系统 (Debug)	7
2.1.5. 追踪子系统 (Trace)	9
2.2. 内存与存储	10
2.2.1. 片上存储 (On-Chip Memory)	10
2.2.2. LPDDR4x/5	10
2.2.3. Quad-SPI	11
2.2.4. eMMC 接口	11
2.2.5. SD/MMC 接口	12
2.2.6. UFS 接口	12
2.3. 图像子系统	13
2.3.1. MIPI 摄像头输入接口 (MIPI Camera IN Interface)	13
2.3.2. GPU (图形处理单元)	14
2.3.3. V2D (2D 图形加速模块)	15
2.4. 视频子系统	16
2.4.1. 简介	16
2.4.2. 视频编码器 (Video Encoder)	16
2.4.3. 视频解码器 (Video Decoder)	19
2.5. 显示子系统	21
2.5.1. 显示控制器	21
2.5.2. MIPI DSI 接口	22
2.5.3. DP/eDP 控制器	23
2.6. 音频子系统	23
2.6.1. 简介	23
2.6.2. 全双工 I ² S 接口特性	23

2.6.3. 半双工 I ² S 接口特性	24
2.6.4. DP/eDP 音频接口特性	24
2.7. 互联子系统	24
2.7.1. PCIe 3.0 (IOMMU)	24
2.7.2. USB	25
2.7.3. 以太网 GMAC	28
2.7.4. CAN-FD 接口	29
2.7.5. SPI 接口	30
2.7.6. UART 接口	31
2.7.7. I ² C 总线接口	31
2.7.8. 红外接收接口 (IR-RX Interface)	33
2.7.9. eSPI	33
2.8. 安全子系统	35
2.8.1. 密码引擎 (Crypto Engine)	35
2.8.2. TRNG	35
2.8.3. eFuse	35
2.8.4. IOPMP	36
2.9. 系统外设	36
2.9.1. DMA	36
2.9.2. HDMA	38
2.9.3. 定时器 (Timer)	39
2.9.4. 看门狗定时器 (Watchdog Timer, WDT)	39
2.9.5. 温度传感器 (Temperature Sensor)	39
2.9.6. 脉宽调制接口 (PWM)	40
2.9.7. 邮箱 (Mailbox)	40
2.9.8. 自旋锁 (Spinlock)	41
2.9.9. 通用输入输出 (GPIO)	41
2.9.10. Time-Out Monitor	41
2.10. 时钟与复位 (Clock & Reset)	42
2.10.1. 简介	42
2.10.2. 特性	42
2.10.3. 时钟系统	42
2.10.4. 资源复位方案	42
2.11. 启动模式 (Boot Mode)	43
2.11.1. 简介	43
2.11.2. 特性	43
3. 封装	45
3.1. 概述	45
3.2. 封装外形图 (POD)	45
3.3. Part Number	47

4. 引脚定义	48
4.1. 引脚分布图与说明	48
4.1.1. (A~Y, 1~20)	49
4.1.2. (A~Y, 21~40)	57
4.1.3. (AA~AY, 1~20)	65
4.1.4. (AA~AY, 21~40)	73
4.2. I/O Pin Parameters	80
4.2.1. 1.8V I/O 引脚	80
4.2.2. 3.3V I/O 引脚	81
4.3. 多功能信号/引脚功能	82
4.3.1. JTAG	82
4.3.2. 杂项 (Miscellaneous)	82
4.3.3. SPIx	83
4.3.4. TWSI	83
4.3.5. UARTx	83
4.3.6. USB	84
4.4. 多功能 I/O 引脚分配	84
5. 电气特性	99
5.1. 引脚交流/直流工作条件	99
5.2. 绝对最大直流额定值	102
5.2.1. 引脚参数	102
5.2.2. 封装参数	105
5.3. 热特性	105
5.4. 引脚最大电流	105
5.5. 上电/掉电时序	105
6. 回流焊温度曲线	106

1. 概述

1.1. 产品简介

SpacemiT Key stone K3 系列芯片采用 RISC-V 同构融合计算技术，集成进迭时空的 8 个高性能计算大核 X100 及 8 个超宽并行计算 AI 核 A100，可提供 130 KDMIPS 通用算力及 60TOPS 通用 AI 算力，可流畅运行 300 亿参数模型。

K3 系列芯片主要应用在 AI 消费硬件如 AI 智慧家居、AI 会议办公、AI 内容创作、AI 电商零售等领域。

1.2. 主要特性

处理器子系统

- 8 个 X100™ 64 位 RISC-V 核心（四发射、乱序执行）
- 总 CPU 性能：130 KDMIPS
- SpecINT2006 > 9.0 /GHz；最高主频 2.4 GHz
- 每 8 核共享 8MB L2 缓存

AI 计算子系统

- 8 核 A100™ 提供 60TOPS AI 算力
- 支持最高 300 亿参数模型推理 (>10 tokens/s @ 30B)
- 兼容 RVV 1.0、RVA23 及 Vector Crypto 标准
- 遵循 CPU 编程范式，实现零成本 AI 算法的部署

内存子系统

- 64 位 LPDDR5 (6400 Mbps) / LPDDR4x (4266 Mbps)
- 最大支持 64GB 内存容量，带宽可达 51GB/s

实时处理子系统

- 双核 RT24™ 64 位 RISC-V 处理器
- 六级单发按序流水线

虚拟化与安全

- 支持 RVH 1.0、AIA 和 IOMMU 扩展，提供 CPU、内存、中断、IO 的完整硬件虚拟化能力
- 硬件级防护机制，抵御 Spectre、Meltdown 等推测执行攻击
- 支持 RISC-V PMP、ePMP 和 IOPMP 安全框架
- 安全启动、安全存储与签名验证
- 加密算法支持：AES、SHA、RSA、SM2、SM3、SM4
- 支持产品生命周期安全管理

存储接口

- SPI Flash、eMMC 5.1、UFS 2.2、SDIO 3.0、PCIe NVMe

多媒体与显示

- 集成 3D 图形引擎，支持 Vulkan、OpenCL、OpenGL ES
- 支持 4K@180fps 视频解码与 4K@90fps 视频编码（兼容 H.265、H.264、VP8 及 VP9 编解码格式）
- 通过 MIPI-DSI（8 通道，4.5 Gbps/通道）和 DP/eDP 接口，可实现双路 3840×2160@60fps 显示输出。
- 4 个 MIPI-CSI 接口（共 12 条通道），最多支持 12 路摄像头输入 s

IO 扩展接口

- 8 条 PCIe Gen3 通道（8 Gbps/通道），支持 RC/EP 模式及热插拔
- 3 × USB 3.0 Host, 1 × USB 3.0 DRD（Type-C），1 × USB 2.0 Host
- 4 × GMAC（支持 RGMII/RMII/MII），集成 TSN 协议
- 6 × SPI, 2 × eSPI, 17 × UART, 10 × CAN, 9 × I²C, 30 × PWM

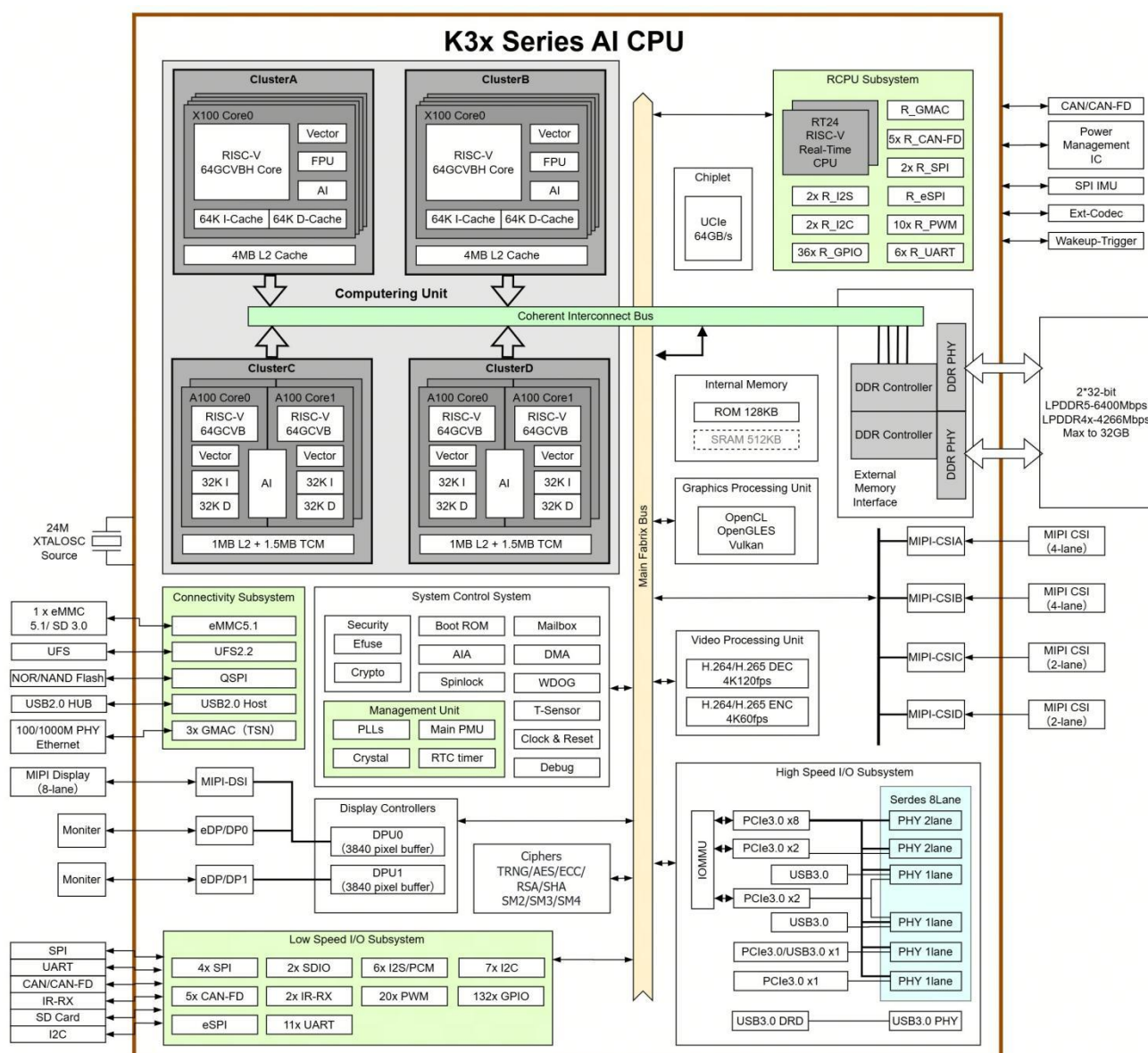
功耗

- TDP: 15–25 W

环境与可靠性

- 工作温度范围：-40 °C 至 +85 °C（工业级）

1.3. 架构框图



2. 规格参数

2.1.CPU 子系统

2.1.1. SpacemiT® X100™ RISC-V 核

2.1.1.1. 简介

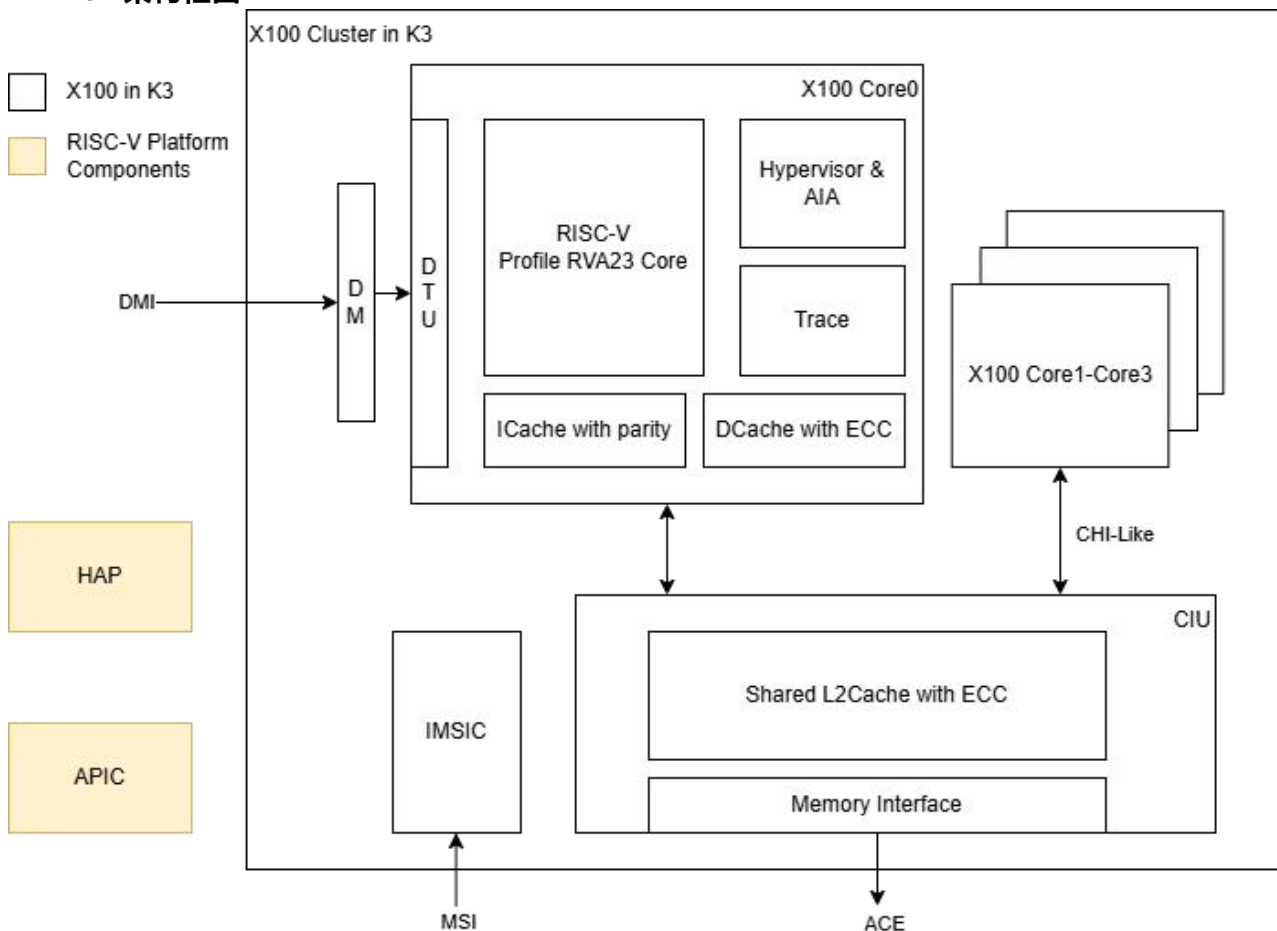
SpacemiT® X100™ 是一款高性能、四发射、乱序执行的多核多簇 RISC-V 处理器，符合 RVA23 指令集架构规范，专为服务器、自动驾驶系统及云端 AI 推理平台等高负载计算场景优化设计。

X100 在追求极致性能的同时，具备完善的虚拟化能力、强大的安全韧性以及 RAS（可靠性、可用性、可服务性）特性，是面向数据密集型与任务关键型应用的可扩展高性能解决方案。

2.1.1.2. 特性

- 合规性：完全符合 RISC-V RVA23 标准
- 缓存架构：
 - ✧ 每核心配备 64 KB L1 指令缓存 (I-Cache) 和 64 KB L1 数据缓存 (D-Cache)
 - ✧ 每簇共享 4 MB L2 缓存
 - ✧ L1 D-Cache 支持 MESI 一致性协议
 - ✧ L2 Cache 支持 MOESI 一致性协议
- 向量扩展：RVV 1.0, VLEN = 256
- 虚拟化扩展：RVH 1.0, GEILEN = 8
- 高级中断架构 (AIA) :
 - ✧ M 模式 MSI: 512
 - ✧ S 模式 MSI: 512
 - ✧ VS 模式 MSI: 64
- 中断控制器：支持 ACLINT 与 APLIC, 共支持 512 个中断源
- 性能监控：RISC-V 性能监控单元 (PMU) 支持
- 虚拟内存：支持 SV39 虚拟内存管理
- 安全框架：
 - ✧ 符合 RISC-V 安全规范，提供 16 项 PMP (物理内存保护) 条目
 - ✧ 支持 RISC-V 调试 (Debug)、追踪 (Trace) 及 RERI (运行时错误报告与恢复) 框架
- RVA23 可选扩展 (未包含在 RVA23 基础规范中) :
 - ✧ 向量加密：zvkng, zvksq
 - ✧ 其他扩展：zvhc, zfh, zbc, zvf, zfbmin, zvfbfmin, zvfbfma
 - ✧ 系统与安全：sdtri, sspm, smepmp, smstateen, smcntrpmf

2.1.1.3. 架构框图



2.1.2. SpacemiT® A100™ AI 核

2.1.2.1. 简介

SpacemiT® A100™ 是一款以 AI 为中心的 RISC-V AI 处理器，通过自研的 SpacemiT-IME 指令集提供原生的 AI 计算能力。其微架构针对算子级并行性、内存带宽效率和数据局部性进行了深度优化，可高效执行各类真实场景下的 AI 工作负载。

除强大的 AI 加速能力外，A100 完整支持 RVA23* 规范定义的通用 CPU 功能，并采用标准 RISC-V 统一编程模型，为本地语言模型（SLM）及广泛的 AI 原生应用提供强大算力支撑。

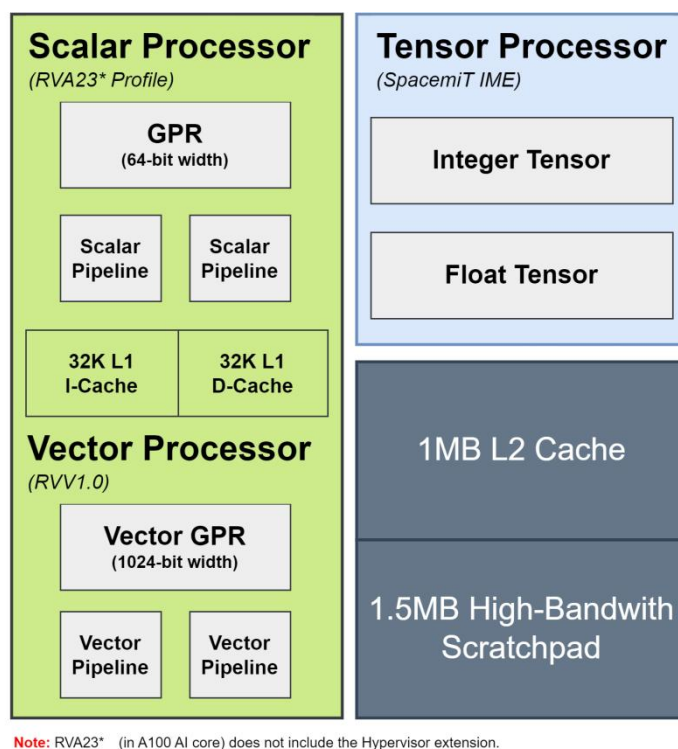
2.1.2.2. 特性

- AI 计算性能：60 TOPS (@INT4 sparse)
- RISC-V 合规性：完全符合 RISC-V RVA23* 标准
- 缓存架构：
 - ✧ 每核心配备 32 KB L1 指令缓存 (I-Cache) 和 32 KB L1 数据缓存 (D-Cache)
 - ✧ 每簇共享 1 MB L2 缓存
 - ✧ 每簇配备 1.5 MB 片上暂存存储器 (Scratchpad)
 - ✧ L1 D-Cache 支持 MESI 一致性协议
 - ✧ L2 Cache 支持 MOESI 一致性协议
- 向量扩展：RVV 1.0, VLEN = 1024

- 中断控制器：符合 AIA 标准的 ACLINT 和 APLIC 中断控制器
- MSI 中断数量：
 - ◇ M 模式：511
 - ◇ S 模式：511
 - ◇ VS 模式：7 个 VS 中断文件，每个中断文件支持 63 个 MSI 中断
- 性能监控：集成 RISC-V 性能监控单元 (PMU)
- 虚拟内存：支持 SV39 虚拟内存管理
- 安全框架：
 - ◇ 符合 RISC-V 安全规范，提供 32 项 PMP (物理内存保护) 条目
 - ◇ 支持 RISC-V 调试 (Debug) 与追踪 (Trace) 功能
- RVA23* 可选扩展 (未包含在 RVA23 基础规范中)：
 - ◇ 向量加密：zvkneg, zvksq
 - ◇ 其他扩展：zvh, zfh, zbc, zvf, zfbmin, zvfbfmin, zvfbfma
 - ◇ 系统与安全：sdtri, svvptc, sspm, smepmp, smstateen, smctrpmp

注：A100 AI 核心中的 RVA23* 不包含 Hypervisor 虚拟化扩展。

2.1.2.3. 架构框图



2.1.3. RT24 RISC-V 核

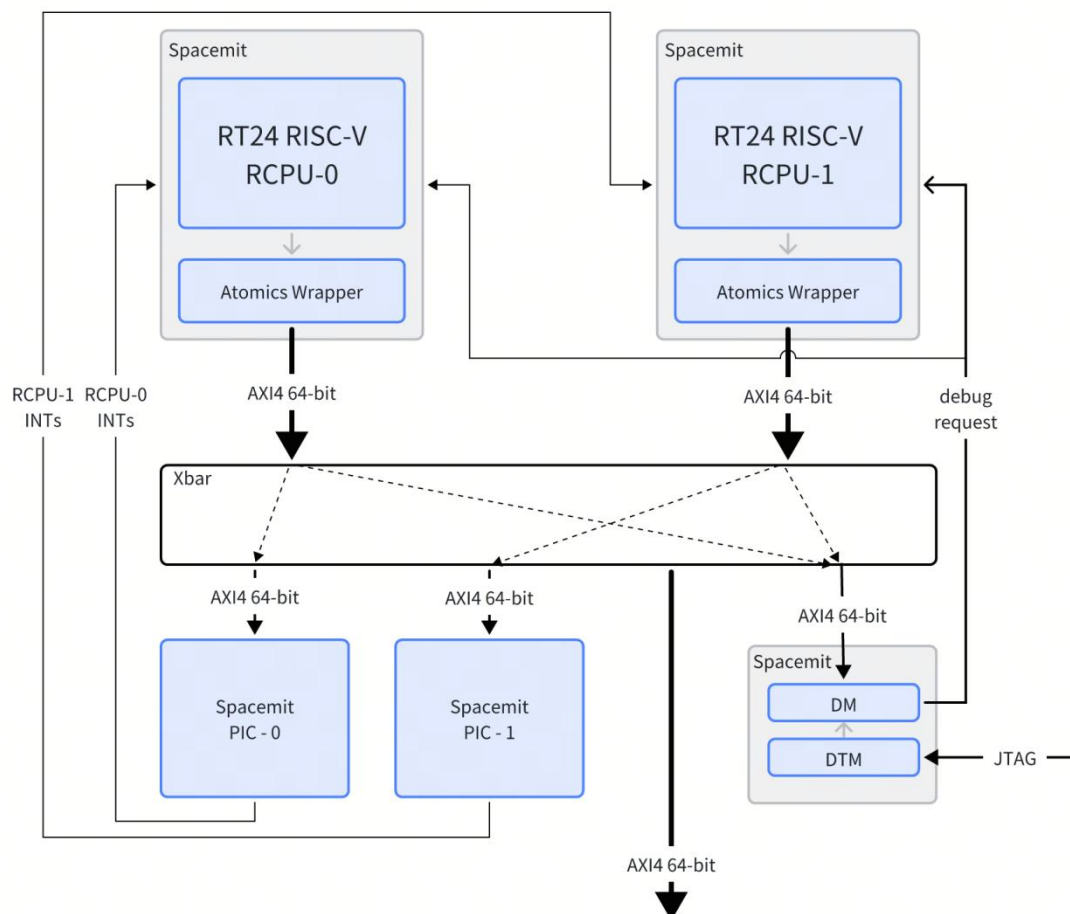
2.1.3.1. 简介

RT24 作为 K3 SoC 中的系统管理核心，基于 OpenHW Group 开源的 64 位 RISC-V 处理器 CVA6 构建，采用六级顺序单发射流水线架构，支持 RV64GC 指令集，并兼容类 Unix 操作系统。该核心专为高能效与高可靠性设计，负责全芯片的控制协调、电源管理及低功耗任务调度等关键功能。

2.1.3.2. 特性

- 超低待机与运行功耗
- 实现 RV64IMAFDC (即 RV64GC) 指令集
- 支持 RISC-V 三级特权模式：M (机器态)、S (监管态)、U (用户态)
- 通过 ITLB、DTLB 和 PTW 单元实现虚拟地址转换

2.1.3.3. 架构框图



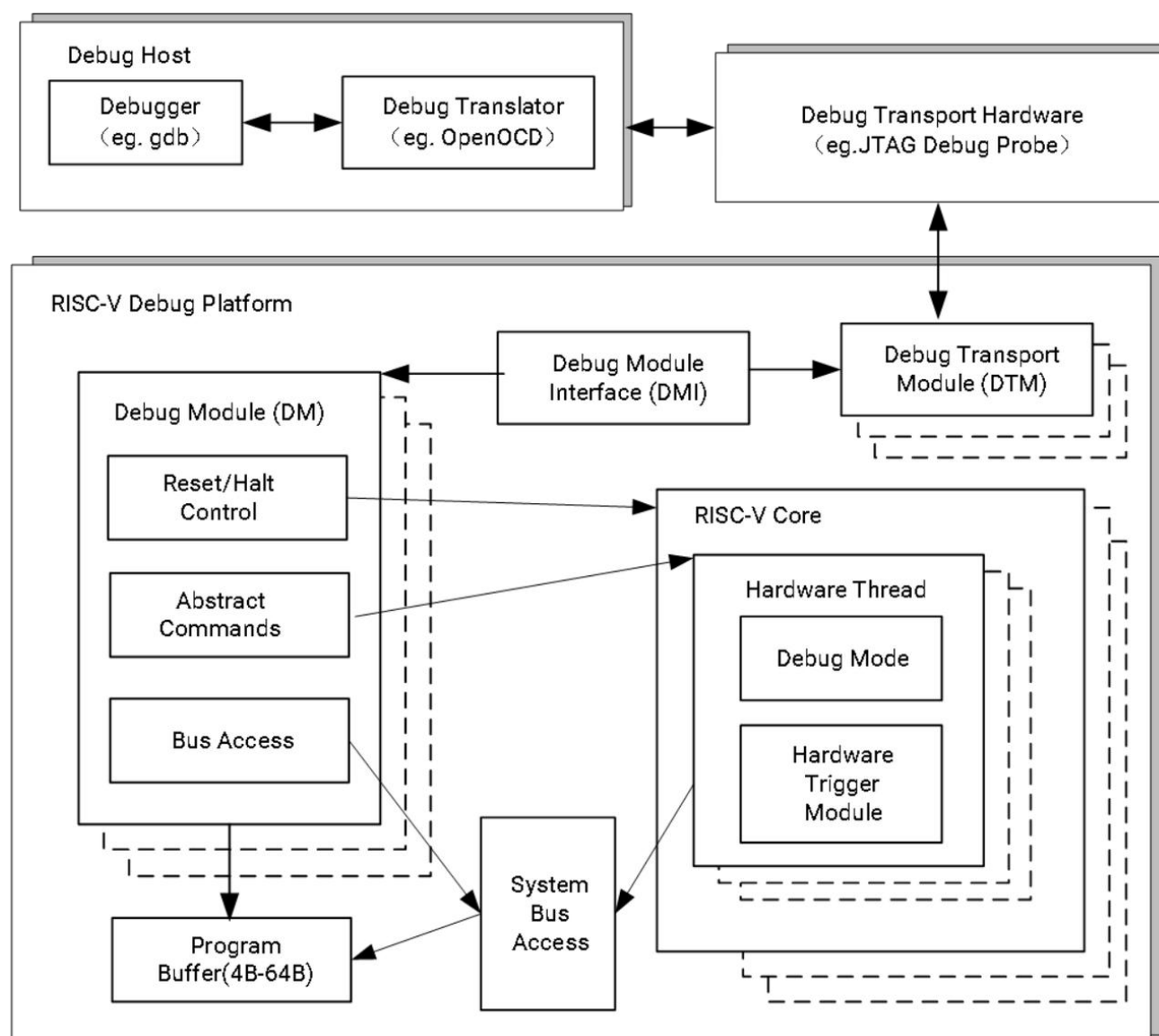
2.1.4. 调试子系统 (Debug)

2.1.4.1. 简介

调试接口是软件与处理器进行交互的关键通道。通过该接口，用户可访问 CPU 寄存器、内存内容以及其他片上设备信息此外。还可以通过调试接口执行程序下载等任务。

2.1.4.2. 架构框图

调试接口的微架构如下图所示。



如图所示，调试系统由以下组件构成：

- 调试软件（例如 GDB）
- 调试代理服务（例如 OpenOCD）
- 调试器（例如 JTAG 调试探针）
- 调试接口（例如 Debug Transport Module, DTM）

各组件之间的连接关系如下：

- 调试软件通常通过网络与调试代理服务通信
- 调试代理服务一般通过 USB 与调试器连接
- 调试器通过 JTAG 接口与 CPU 交互

JTAG 内存访问支持两种模式：progbuf 和 sysbus：

- progbuf 模式：标准 JTAG 访问方式，通过 CPU 执行指令缓冲区（program buffer）来访问内存
- sysbus 模式：绕过 CPU，直接通过系统总线访问（System Bus Access, SBA）端口读写片上资源

2.1.5. 追踪子系统 (Trace)

2.1.5.1. 简介

RISC-V 追踪系统提供了一套硬件与软件协同的接口，用于调试和分析单个硬件线程 (hart) 的执行轨迹，包括其内存访问的详细信息。

当 RISC-V hart 通过 RISC-V 追踪规范定义的入口端口 (ingress port) 输出程序执行流与内存访问轨迹时，片上追踪编码器会对数据进行压缩，以实现高效传输。

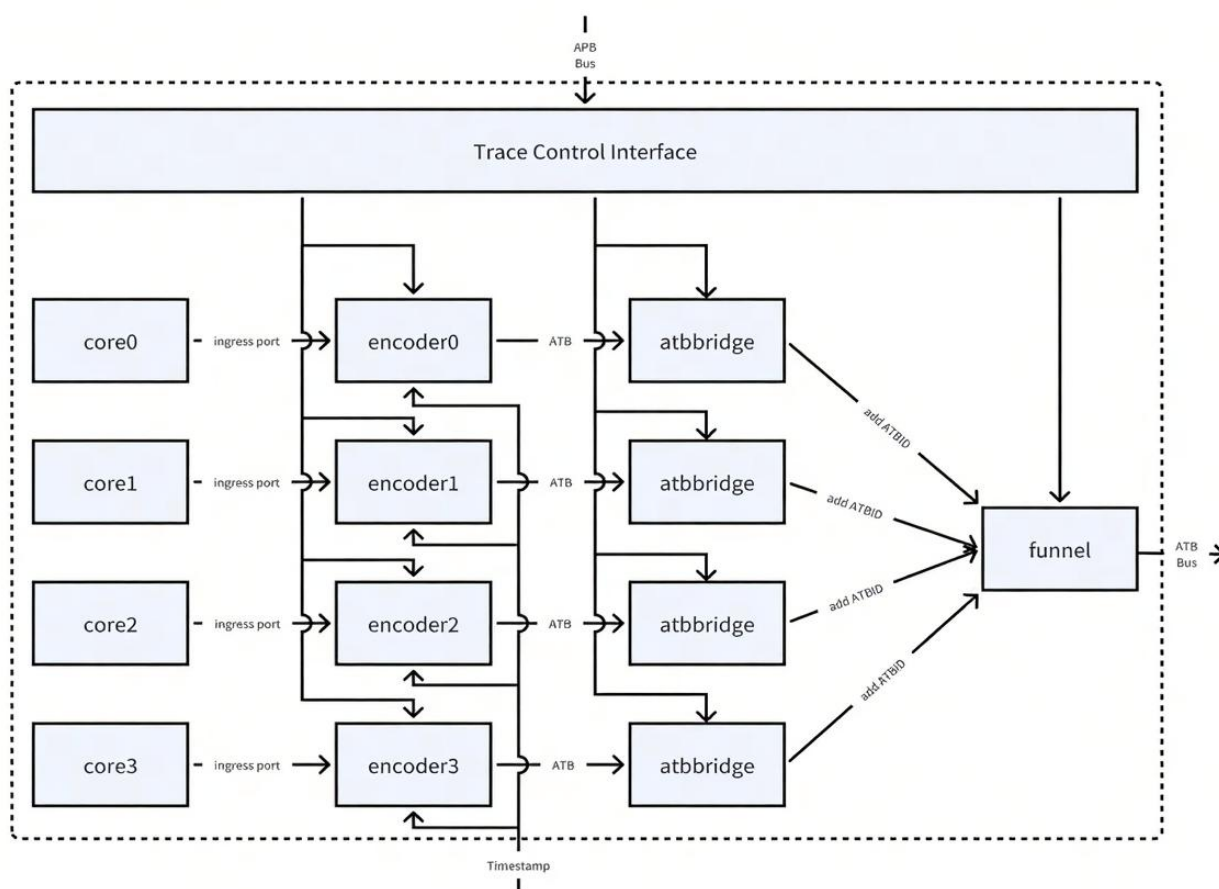
压缩后的追踪数据可暂存于片上存储中，随后由主机端的解码软件重建完整的执行流程，使开发者能够精确观测 hart 的运行时行为。

2.1.5.2. 特性

K3 SoC 中 X100 与 A100 核心的追踪组件完全符合 RISC-V N-Trace 协议，并支持其配套接口——RISC-V 追踪控制接口 (Trace Control Interface) 与 RISC-V Hart-to-Trace 接口。关键特性包括：

- 每个 X100 核 / A100 核 配备独立的追踪编码器
- 集成 ATB (AMBA Trace Bus) 桥接模块，用于连接至 ATB 总线
- 支持 BTM (Branch Trace Mode) 分支轨迹压缩
- 可选消息类型 (如所有权消息)，提升在复杂操作系统环境下的追踪处理能力
- 通过调试触发器 (debug triggers) 实现精准的追踪启停控制
- 扩展压缩能力，例如虚拟地址压缩，进一步提升追踪效率

2.1.5.3. 架构框图



2.2.内存与存储

2.2.1. 片上存储 (On-Chip Memory)

2.2.1.1. 简介

K3 集成了以下片上存储资源：

- 128 KB Boot ROM：用于存放一级引导代码，支持从多种外部介质启动，并支持通过 USB 与 UART 下载程序；支持基于 eFuse 的安全启动。
- 512 KB SRAM：由主 CPU 与 RCPu 共享使用。

2.2.2. LPDDR4x/5

2.2.2.1. 简介

动态内存接口为外部 LPDDR4x 和 LPDDR5 DRAM 提供高性能、低功耗的连接，支持灵活配置与动态频率调节，可在不同应用场景下平衡带宽与能效。

2.2.2.2. 特性

- 支持 LPDDR4x 与 LPDDR5 内存类型：

- ◇ LPDDR4x 最高数据速率：4266 MT/s
- ◇ LPDDR5 最高数据速率：6400 MT/s
- 最大寻址空间：64 GB
- 双通道架构，每通道 32 位数据宽度
- 每通道支持两个 Rank
- 支持动态频率调节（DFS），可根据带宽需求实时调整频率以优化功耗

2.2.3. Quad-SPI

2.2.3.1. 简介

Quad-SPI 接口用于 SoC 与外部串行 Flash 存储器之间的通信，支持最多四条双向数据线传输，具备高灵活性并兼容多种 Flash 器件。

2.2.3.2. 特性

- 支持 XIP (Execute-In-Place) 模式与 Page 模式
- 数据线宽度可独立配置为 1/2/4 线
- 时钟频率范围：13.25 MHz 至 102 MHz
- 支持 SPI NOR Flash 与 SPI NAND Flash
- 支持 1.8 V 与 3.3 V 信号电平

2.2.4. eMMC 接口

2.2.4.1. 简介

eMMC 接口作为 eMMC 总线的主机控制器，实现外部 eMMC 卡与内部系统总线主设备之间的数据传输。

2.2.4.2. 特性

- 符合 8 位 eMMC 5.1 规范
- 兼容 SDHCI 寄存器集，并包含额外的供应商专用寄存器
- 支持 1 位 / 8 位 MMC 及 CE-ATA 卡
- 支持 SDHCI 规范定义的以下数据传输方式：
 - ◇ PIO
 - ◇ SDMA
 - ◇ ADMA
 - ◇ ADMA2
- 支持 eMMC 卡的 SPI 模式操作
- 支持 eMMC 5.1 定义的以下速度模式：
 - ◇ 传统模式：带宽高达 26 MB/s，信号电压 1.8 V
 - ◇ 高速 SDR：带宽高达 52 MB/s，信号电压 1.8 V
 - ◇ 高速 DDR：带宽高达 52 MB/s，信号电压 1.8 V
 - ◇ HS200：带宽高达 200 MB/s，信号电压 1.8 V
 - ◇ HS400：带宽高达 400 MB/s，信号电压 1.8 V
- 支持硬件自动生成所有命令与数据事务，并进行 CRC 校验

- 配备 1024 字节数据 FIFO 缓冲区 (2 × 512 字节数据块)

2.2.5. SD/MMC 接口

2.2.5.1. 简介

SD/MMC 接口作为 SD/MMC 总线的主机控制器, 实现外部 SD/MMC 卡与内部系统总线主设备之间的数据传输。

2.2.5.2. 特性

- 符合 4 位 SD 3.0 UHS-I 规范
- 兼容 SDHCI 寄存器集, 并包含额外的供应商专用寄存器
- 支持 1 位 / 4 位 SD 存储卡
- 支持 SDHCI 规范定义的数据传输方式:
 - ◇ PIO
 - ◇ SDMA
 - ◇ ADMA
 - ◇ ADMA2
- 支持 SD 3.0 定义的以下速度模式:
 - ◇ 默认速度: 带宽高达 12.5 MB/s, 信号电压 3.3 V
 - ◇ 高速: 带宽高达 25 MB/s, 信号电压 3.3 V
 - ◇ SDR12: 时钟频率高达 25 MHz, 信号电压 1.8 V
 - ◇ SDR25: 时钟频率高达 50 MHz, 信号电压 1.8 V
 - ◇ SDR50: 时钟频率高达 100 MHz, 信号电压 1.8 V
 - ◇ SDR104: 时钟频率高达 208 MHz, 信号电压 1.8 V
 - ◇ DDR50: 时钟频率高达 50 MHz, 信号电压 1.8 V
- 支持硬件自动生成所有命令与数据事务, 并进行 CRC 校验
- 支持读等待控制及 SD/MMC 卡的挂起/恢复功能
- 通过 GPIO 模式支持卡插拔检测
- 配备 1024 字节数据 FIFO 缓冲区 (2 × 512 字节数据块)

2.2.6. UFS 接口

2.2.6.1. 简介

UFS (Universal Flash Storage) 接口为 SoC 提供高性能、低功耗的大容量存储解决方案, 符合 JEDEC UFS 2.2、MIPI UniPro v1.6 及 MIPI M-PHY v3.0 规范。

UFS 通过串行接口支持最多 2 条通道, 提供 2 路发送 (TX) 和 2 路接收 (RX), 实现全双工通信。支持高速模式 (HS-GEAR3) 与低速模式 (PWM-GEAR1), 兼具高带宽与低延迟特性。支持标准 SCSI 命令集, 并允许系统直接从 UFS 存储启动。

2.2.6.2. 特性

- 符合 JEDEC UFS 2.2 规范

- 符合 MIPI UniPro v1.6 与 MIPI M-PHY v3.0 规范
- 支持串行接口协议：
 - ✧ 高速模式 (HS-GEAR3) : 最多 2 TX + 2 RX 通道
 - ✧ 低速模式 (PWM-GEAR1)
- 支持标准 SCSI 命令操作
- 支持从 UFS 存储直接启动系统

2.3. 图像子系统

2.3.1. MIPI 摄像头输入接口 (MIPI Camera IN Interface)

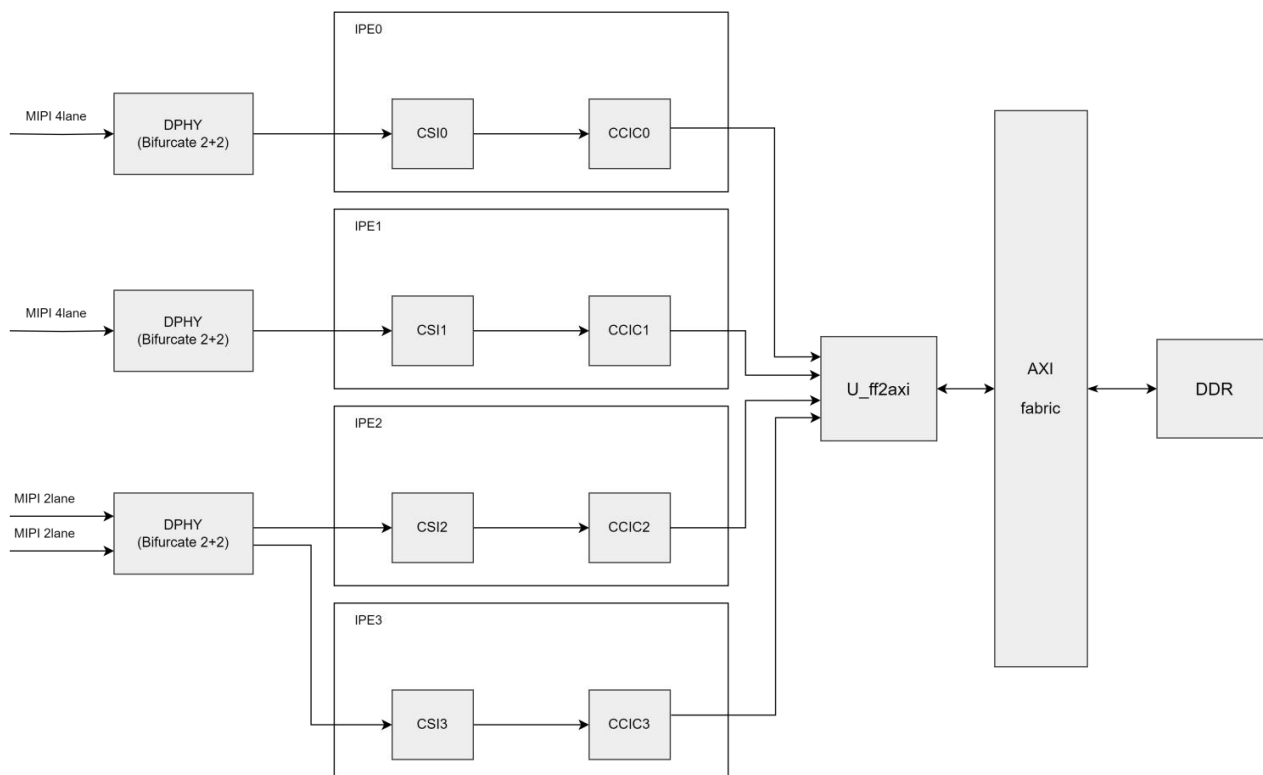
2.3.1.1. 简介

MIPI 摄像头输入接口集成了四个 MIPI-CSI2 v1.1 控制器，每个控制器配备最多四条数据通道，单通道最高传输速率达 1.5 Gbps。

2.3.1.2. 特性

- 可配置数据通道数：1、2 或 4 条
- 独立 D-PHY 资源：
 - ✧ CSI0 与 CSI1 各自拥有专用的 D-PHY 接口
- 共享 D-PHY 资源：
 - ✧ CSI2 与 CSI3 共享一个 4-lane D-PHY 接口。单独使用时，每个接口最多支持 4 条通道；同时使用时，每个接口最多支持 2 条通道
- 支持的输入数据格式：
 - ✧ Legacy YUV420 8-bit
 - ✧ YUV420 8-bit
 - ✧ YUV422 8-bit
 - ✧ RAW8
 - ✧ RAW10
 - ✧ RAW12
 - ✧ 嵌入式数据类型 (Embedded Data)
- 支持的数据交织类型：
 - ✧ 数据类型交织 (Data-type Interleaving)
 - ✧ 虚拟通道交织 (Virtual-channel Interleaving)

2.3.1.3. 架构框图



2.3.2. GPU（图形处理单元）

2.3.2.1. 简介

本 GPU 架构基于多线程统一着色集群设计，采用高 SIMD 效率的 ALU 架构，并采用基于图块的延迟渲染（Tile-Based Deferred Rendering, TBDR）管线，支持多图块并发处理，可高效执行高性能 3D 图形与通用计算（GPGPU）任务。

2.3.2.2. 特性

- 全面兼容主流图形与计算 API：
 - ✧ OpenGL ES 1.1 / 3.2
 - ✧ EGL 1.5
 - ✧ OpenCL 3.0
 - ✧ Vulkan 1.3
- 基于图块的延迟渲染（TBDR）技术，用于 3D 图形处理，支持并发多图块处理
- 可编程、抗锯齿（Anti-Aliasing）高质量图像
- 细粒度三角形剔除（Triangle Culling），提高渲染效率
- 支持 DRM 安全
- 支持 GPU 虚拟化，最多可创建 8 个虚拟 GPU 实例
- 支持多通道隔离技术，提供最多 8 个独立逻辑通道
- 每个通道/OS 上下文拥有独立 IRQ
- 与神经网络加速器配合使用时，可选 AI 加速协作
- 多线程统一着色引擎，支持：

- ✧ 像素着色 (Pixel Shading)
- ✧ 顶点着色 (Vertex Shading)
- ✧ 通用计算着色器 (Compute Shader / GPGPU)
- ALU 架构针对高 SIMD 利用率优化
- 采用统一内存架构 (UMA) 下的全虚拟化内存寻址
- 细粒度任务切换、负载均衡与电源管理
- 高级 DMA 驱动操作, 最小化主机 CPU 干预
- 128 KB 系统级缓存 (SLC)
- 专用纹理缓存单元
- 压缩纹理解码支持
- 几何处理阶段执行无损几何压缩
- 帧缓冲区支持无损或视觉无损压缩, 显著降低带宽需求
- 用于 GPU 内核管理的专用固件处理器:
 - ✧ 单线程设计
 - ✧ 2 KB 指令缓存 + 2 KB 数据缓存
 - ✧ 独立功耗域 (Power Island)
- 片上性能、功耗与统计寄存器, 用于系统实时监控

2.3.3. V2D (2D 图形加速模块)

2.3.3.1. 简介

V2D 是一个专用的 2D 硬件加速模块, 支持常见的 2D 图像操作, 包括格式转换、旋转、镜像、缩放、裁剪、纯色填充及 Alpha 混合等。

2.3.3.2. 特性

- 缩放能力:
 - ✧ 最大支持 8× 放大
 - ✧ 最小支持 1/8× 缩小
- 旋转与镜像:
 - ✧ 支持 0°、90°、180°、270° 旋转
 - ✧ 支持水平/垂直镜像与翻转
- 混合与合成:
 - ✧ 支持简单图层与背景混合
- 图像裁剪 (Cropping)
- 纯色填充 (Solid Fill)
- 色彩空间转换:
 - ✧ RGB 与 BT.601 / BT.709 (窄域与全域) 互转
- 最大分辨率支持: 4096 × 2160
- 抖动 (Dithering) 处理, 实现更平滑的色彩过渡
- 支持内存管理单元 (MMU)

- 总线接口：APB3、AXI3
- 支持的输入格式：
 - ✧ RGB888、RGBX888、RGBA8888、ARGB8888 (可选 R/B 交换)
 - ✧ RGB565、RGBA5658、ARGB8565 (可选 R/B 交换)
 - ✧ A8 (8-bit Alpha 图像)、Y8 (8-bit 灰度图)
 - ✧ YUV420 半平面格式 (UV 可交换)
 - ✧ AFBC 16×16 RGBA8888 (Layout0, 支持 split/non-split)
 - ✧ AFBC 16×16 NV12 (Layout1, 支持 split/non-split)
- 支持的输出格式：与输入格式一致，包括 RGB、ARGB、A8、Y8、YUV420 及各类 AFBC 变体

2.4. 视频子系统

2.4.1. 简介

视频处理单元 (Video Processing Unit, VPU) 是一款四核视频加速器，支持多种视频标准的编解码处理。VPU 内置主机 CPU，并通过运行固件对硬件引擎进行控制，负责比特流解析、子模块调度以及错误恢复等任务。

VPU 最高运行频率可达 1 GHz，支持广泛的视频标准，包括 H.265、H.264、VP8、VP9、MPEG4、MPEG2 和 H.263。其典型并发处理能力包括：

- 支持 4K@60fps 同编同解
- 4K@90fps H.264/H.265 编码
- 4K@180fps H.264/H.265 解码

各视频编解码标准的实际处理均由专用硬件逻辑完成。宏块序列控制器 (Macroblock Sequencer) 作为主控单元，负责调度各子模块的处理流程，从而减轻处理器负载并降低固件复杂度。

此外，多个与标准无关的模块在运行时共享通用逻辑，以确保在不同视频标准下均具备高效率与流畅的性能表现。

2.4.2. 视频编码器 (Video Encoder)

2.4.2.1. 通用编码特性

- 可配置的 Arm 帧缓冲压缩 (AFBC) 1.0 或 1.2 版本用于输入
- 支持 YUV422 与 YUV420 AFBC 块分割 (16×16)
- 支持 stride (不适用于 AFBC 输入格式)
- 支持水平/垂直镜像 (不适用于 AFBC 输入格式)
- 可选在编码前对输入帧进行 90°步进旋转 (不适用于 AFBC 输入格式)

注意：若 YUV422 格式在未转换为 YUV420 的情况下进行 90°或 270°旋转，输出将自动转为 YUV440 格式。

2.4.2.2. 支持的输入格式

- 单平面 YUV422, 逐行扫描, YUYV 或 UYVY 交错排列
注意: YUV422 输入可转换为 YUV420
- 单平面 RGB (8-bit), 字节顺序: RGBA、BGRA、ARGB、ABGR
- 双平面 YUV420, 逐行扫描, 色度分量 UV 或 VU 交错
- 三平面 YUV420, 逐行扫描
注意: 仅支持用于测试目的; 不建议用于最佳性能
- AFBC YUV422
- AFBC YUV420

2.4.2.3. 支持的编码格式

- HEVC (H.265) Main Profile
- HEVC (H.265) Main 10 Profile
- H.264 Baseline Profile (BP)
- H.264 Main Profile (MP)
- H.264 High Profile (HP)
- VP8
- VP9 Profile 0
- JPEG, baseline sequential

HEVC (H.265) 编码特性

- 输出比特流符合 HEVC Main Profile
- 编码性能: 4K@90fps
- 最大帧尺寸: 4096 × 4096 像素
- 位深: 8-bit, 支持 I、P、B 帧
- 支持分块模式 (Tiled Mode), 最多 4 个分块 (仅支持水平分割)
- 运动估计 (ME)
 - ✧ 搜索窗口: 水平方向 ± 128 像素, 垂直方向 ± 64 像素
 - ✧ 精度: 支持低至 1/4 像素 (QPEL)
- 帧内预测模式:
 - ✧ 亮度 (Luma): 8×8、16×16、32×32
 - ✧ 色度 (Chroma): 4×4、8×8、16×16
- 帧间预测模式: 8×8、16×16、32×32
- 变换尺寸:
 - ✧ 亮度: 8×8、16×16、32×32
 - ✧ 色度: 4×4、8×8、16×16
- 去块滤波 (Deblocking Filter)
- 量化方式: 固定 QP 或基于漏桶模型的码率控制 (依据目标码率与缓冲区大小)
- 支持长参考帧 (Long-term Reference Frames)
- 支持按 CTU 行粒度插入 Slice

注意: 编码器不阻止输出超过每 CTU 的最大比特数限制

H.264 编码特性

- 编码比特流符合 Baseline、Main 和 High Profile 标准
- 编码性能：4K@90fps
- 最大帧尺寸：4096 × 4096 像素
- 帧类型：支持 I 帧、P 帧和 B 帧
- 熵编码：CABAC 或 CAVLC
注意：CAVLC 不支持 B 帧
- 运动估计 (ME) :
 - ✧ 搜索窗口：水平方向±128 像素，垂直方向±64 像素
 - ✧ 精度：支持低至 1/4 像素 (QPEL)
- 帧内预测模式：
 - ✧ 亮度：4×4、8×8、16×16
 - ✧ 色度：8×8
- 帧间预测模式：8×8、16×16
- 变换尺寸：4×4、8×8
- 去块滤波 (Deblocking Filter)
- 量化方式：固定 QP 或基于漏桶模型的码率控制 (依据目标码率与缓冲区大小)
- 支持长参考帧 (Long-term Reference Frames)
- Slice 插入粒度：32 像素高的行

注意：

1. 更多细节请参见 ITU-T H.264 Annex B: VC-1 Compressed Video Bitstream Format and Decoding Process
2. 编码器不阻止输出超过每宏块的最大比特数限制

VP8 编码特性

- 编码性能：4K@90fps
- 最大帧尺寸：2048 × 2048 像素
- 帧类型：支持 I 帧与 P 帧
- 运动估计 (ME) :
 - ✧ 搜索窗口：水平方向±128 像素，垂直方向±64 像素
 - ✧ 精度：支持低至 1/4 像素 (QPEL)
- 帧内预测模式：
 - ✧ 亮度：4×4、8×8、16×16
 - ✧ 色度：8×8
- 帧间预测模式：8×8、16×16
- 去块滤波
- 量化方式：固定 QP 或基于漏桶模型的码率控制 (依据目标码率与缓冲区大小)

VP9 编码特性

- 输出比特流符合 VP9 Profile 0 (8-bit)

- 编码性能：4K@90fps
- 最大帧尺寸：4096 × 4096 像素
- 采样深度：8-bit
- 帧类型：支持 I 与 P 帧
- 运动估计 (ME) :
 - ✧ 搜索窗口：水平方向±128 像素，垂直方向±64 像素
 - ✧ 精度：支持低至 1/4 像素 (QPEL)
- 帧内预测模式：
 - ✧ 亮度：8×8、16×16、32×32
 - ✧ 色度：4×4、8×8、16×16
- 帧间预测模式：8×8、16×16、32×32
- 变换尺寸：
 - ✧ 亮度：8×8、16×16、32×32
 - ✧ 色度：4×4、8×8、16×16
- 去块滤波
- 量化方式：固定 QP 或基于漏桶模型的码率控制（依据目标码率与缓冲区大小）

2.4.3. 视频解码器 (Video Decoder)

2.4.3.1. 通用解码特性

- 支持以下输出帧格式
 - ✧ 双平面 YUV420，逐行扫描，色度 UV 或 VU 交错
 - ✧ 三平面 YUV420，逐行扫描
- 注意：三平面格式仅用于测试，常规应用中不推荐以获得最佳性能
- 为获得最佳性能，请确保 YUV 缓冲区对齐与 stride 设置正确
 - 支持 8-bit YUV420 AFBC 输出格式
 - 可配置 AFBC 1.0 或 AFBC 1.2 输出
 - Stride 仅适用于逐行扫描格式
 - 支持解码后输出前进行 90° 步进旋转

注意：不适用于 AFBC 输出格式

支持在每帧输出中报告每个 32×32 像素块的平均亮度 (luminance) 与色度 (chrominance) 值

2.4.3.2. 支持的解码格式

- HEVC (H.265): Main Profile
- H.264: Baseline, Main, High Profiles
- VP8
- VP9: Profile 0 和 Profile 2 (10-bit)
- VC-1: Simple Profile (SP), Main Profile (MP), Advanced Profile (AP)
- MPEG-4: Simple Profile (SP), Advanced Simple Profile (ASP)
- MPEG-2: Main Profile (MP)

- H.263: Profile 0

HEVC (H.265) 解码特性

- 完全符合 Main Profile
- 解码性能: 4K@180fps
- 最大帧尺寸: 4096 × 4096 像素

H.264 解码特性

- 完全符合 Baseline、Main、High 及 High 10 Progressive Profiles
- 解码性能: 4K@180fps
- 无论 NAL 数据包格式设置如何, 始终启用转义选项, 以防止模拟网络抽象层 (NAL) 单元起始码
注意: 更多详情, 请参阅 ITU-T H.264 Annex B: VC-1 Compressed Video Bitstream Format and Decoding Process

VP8 解码特性

- 完全符合 VP8 规范
- 解码性能: 4K@180fps
- 最大帧尺寸: 2048 × 2048 像素

VP9 解码特性

- 完全符合 Profile 0
- 解码性能: 4K@180fps
- 最大帧尺寸: 4096 × 4096 像素

VC-1 解码特性

- 完全符合 VC-1 SP (Simple Profile), MP (Main Profile), and AP (Advanced Profile)
- 解码性能: 4K@120fps
- 最大帧尺寸: 2048 × 4096 像素

MPEG4 解码特性

- 符合 MPEG-4 SP (Simple Profile) 与 ASP (Advanced Simple Profile)
- 支持全局运动补偿 (GMC), 限制为单 warp 点
- 解码性能: 4K@120fps
- 最大帧尺寸: 2048 × 2048 像素

MPEG2 解码特性

- 符合 MPEG-2 MP (Main Profile)
- 解码性能: 4K@120fps
- 最大帧尺寸:
 - ◇ 逐行流: 宽度最高 4096 像素
 - ◇ 隔行流: 宽度最高 2048 像素

H.263 解码特性

- 符合 H.263 Profile 0

- 解码性能：4K@120fps
- 最大帧尺寸：宽高均达 2048 像素

2.5.显示子系统

2.5.1. 显示控制器

2.5.1.1. 简介

显示控制器是一个硬件模块，负责将内部存储器中的显示数据传输至 DSI 和 DP/eDP 控制器。该模块支持高分辨率面板及多种高级图像处理功能。

2.5.1.2. 特性

- 分辨率支持：最高支持 HD+ 及以上规格
 - ✧ 3840×2160 @ 60fps
 - ✧ 2560×1440 @ 144fps
- 图层合成 (Layer Composition)
 - ✧ 支持最多 4 个全尺寸图层合成器
 - ✧ 通过 RDMA 通道的上下图层复用机制，最多可支持 16 个图层合成器
- 命令与回写 (Command & Write-Back)
 - ✧ 采用 `cmdlist` 机制配置硬件寄存器
 - ✧ 支持原始格式与 AFBC 格式的并发回写
 - ✧ 回写路径中支持抖动 (Dithering)、裁剪 (Cropping) 和旋转 (Rotation)
- 内存管理
 - ✧ 配备高级 MMU，在 90° 与 270° 旋转操作中几乎无页缺失 (Page Miss)
- 色彩与显示增强
 - ✧ 支持色键 (Color Keying) 与纯色生成
 - ✧ 支持高级误差扩散 (Error Diffusion) 与基于图案的抖动算法
 - ✧ 支持色彩饱和度与对比度增强
 - ✧ 支持显示效果动态调节
- 输入格式
 - ✧ ABGR2101010, ARGB2101010, BGRA2101010, RGBA2101010
 - ✧ ABGR8888, ARGB8888, BGRA8888, RGBA8888
 - ✧ XBGR8888, XRGB8888, BGRX8888, RGBX8888
 - ✧ BGR888, RGB888, ABGR1555, RGBA5551, BGR565/RGB565
 - ✧ XYUV_444_P1_8, XYUV_444_P1_10, YVUY_422_P1_8, VYUY_422_P1_8
 - ✧ YUV_420_P2_8, YUV_420_P3_8

Format Name		Byte Address and Order																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
		127	15	120	119	14	112	111	13	104	103	12	96	95	11	88	87	10	80	79	9	72	71	8	64	63	7	56	55	6	48	47	5	40	39	4	32	31	3	24	23	2	16	15	1	8	7	0	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																		
ABGR_2101010		A3 [1:0]	B3[9:0]				G3[9:0]				R3[9:0]				A2 [1:0]	B2[9:0]				G2[9:0]				R2[9:0]				A1 [1:0]	B1[9:0]				G1[9:0]				R1[9:0]				A0 [1:0]	B0[9:0]				G0[9:0]				R0[9:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
ARGB_2101010		A3 [1:0]	R3[9:0]				G3[9:0]				B3[9:0]				A2 [1:0]	R2[9:0]				G2[9:0]				B2[9:0]				A1 [1:0]	R1[9:0]				G1[9:0]				B1[9:0]				A0 [1:0]	R0[9:0]				G0[9:0]				B0[9:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
BGRA_2101010			B3[9:0]				G3[9:0]				R3[9:0]				A3 [1:0]	B2[9:0]				G2[9:0]				R2[9:0]				A2 [1:0]	B1[9:0]				G1[9:0]				R1[9:0]				A1 [1:0]	B0[9:0]				G0[9:0]				R0[9:0]				A0 [1:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																													
RGBA_2101010			R3[9:0]				G3[9:0]				B3[9:0]				A3 [1:0]	R2[9:0]				G2[9:0]				B2[9:0]				A2 [1:0]	R1[9:0]				G1[9:0]				B1[9:0]				A1 [1:0]	R0[9:0]				G0[9:0]				B0[9:0]				A0 [1:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																													
ABGR_8888		A3[7:0]	B3[7:0]				G3[7:0]				R3[7:0]				A2[7:0]	B2[7:0]				G2[7:0]				R2[7:0]				A1[7:0]	B1[7:0]				G1[7:0]				R1[7:0]				A0[7:0]	B0[7:0]				G0[7:0]				R0[7:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
ARGB_8888		A3[7:0]	R3[7:0]				G3[7:0]				B3[7:0]				A2[7:0]	R2[7:0]				G2[7:0]				B2[7:0]				A1[7:0]	R1[7:0]				G1[7:0]				B1[7:0]				A0[7:0]	R0[7:0]				G0[7:0]				B0[7:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
BGRA_8888		B3[7:0]	G3[7:0]				R3[7:0]				A3[7:0]	B2[7:0]				G2[7:0]				R2[7:0]				A2[7:0]	B1[7:0]				G1[7:0]				R1[7:0]				A1[7:0]	B0[7:0]				G0[7:0]				R0[7:0]				A0[7:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
RGBA_8888		R3[7:0]	G3[7:0]				B3[7:0]				A3[7:0]	R2[7:0]				G2[7:0]				B2[7:0]				A2[7:0]	R1[7:0]				G1[7:0]				B1[7:0]				A1[7:0]	R0[7:0]				G0[7:0]				B0[7:0]				A0[7:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
XBGR_8888		X[7:0]	B3[7:0]				G3[7:0]				R3[7:0]				X[7:0]	B2[7:0]				G2[7:0]				R2[7:0]				X[7:0]	B1[7:0]				G1[7:0]				R1[7:0]				X[7:0]	B0[7:0]				G0[7:0]				R0[7:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
XRGB_8888		X[7:0]	R3[7:0]				G3[7:0]				B3[7:0]				X[7:0]	R2[7:0]				G2[7:0]				B2[7:0]				X[7:0]	R1[7:0]				G1[7:0]				B1[7:0]				X[7:0]	R0[7:0]				G0[7:0]				B0[7:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
BGRX_8888		B3[7:0]	G3[7:0]				R3[7:0]				X[7:0]	B2[7:0]				G2[7:0]				R2[7:0]				X[7:0]	B1[7:0]				G1[7:0]				R1[7:0]				X[7:0]	B0[7:0]				G0[7:0]				R0[7:0]				X[7:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
RGBX_8888		R3[7:0]	G3[7:0]				B3[7:0]				X[7:0]	R2[7:0]				G2[7:0]				B2[7:0]				X[7:0]	R1[7:0]				G1[7:0]				B1[7:0]				X[7:0]	R0[7:0]				G0[7:0]				B0[7:0]				X[7:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																	
ABGR_1555		A7 [0:7]	B7 [4:0]	G7 [4:0]	R7 [4:0]	A6 [4:0]	B6 [4:0]	G6 [4:0]	R6 [4:0]	A5 [4:0]	B5 [4:0]	G5 [4:0]	R5 [4:0]	A4 [4:0]	B4 [4:0]	G4 [4:0]	R4 [4:0]	A3 [4:0]	B3 [4:0]	G3 [4:0]	R3 [4:0]	A2 [4:0]	B2 [4:0]	G2 [4:0]	R2 [4:0]	A1 [4:0]	B1 [4:0]	G1 [4:0]	R1 [4:0]	A0 [4:0]	B0 [4:0]	G0 [4:0]	R0 [4:0]	A7 [4:0]	B7 [4:0]	G7 [4:0]	R7 [4:0]	A6 [4:0]	B6 [4:0]	G6 [4:0]	R6 [4:0]	A5 [4:0]	B5 [4:0]	G5 [4:0]	R5 [4:0]	A4 [4:0]	B4 [4:0]	G4 [4:0]	R4 [4:0]	A3 [4:0]	B3 [4:0]	G3 [4:0]	R3 [4:0]	A2 [4:0]	B2 [4:0]	G2 [4:0]	R2 [4:0]	A1 [4:0]	B1 [4:0]	G1 [4:0]	R1 [4:0]	A0 [4:0]	B0 [4:0]	G0 [4:0]	R0 [4:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																		
RGBA_1555		R7 [4:0]	G7 [4:0]	B7 [4:0]	A7 [4:0]	R6 [4:0]	G6 [4:0]	B6 [4:0]	A6 [4:0]	R5 [4:0]	G5 [4:0]	B5 [4:0]	A5 [4:0]	R4 [4:0]	G4 [4:0]	B4 [4:0]	A4 [4:0]	R3 [4:0]	G3 [4:0]	B3 [4:0]	A3 [4:0]	R2 [4:0]	G2 [4:0]	B2 [4:0]	A2 [4:0]	R1 [4:0]	G1 [4:0]	B1 [4:0]	A1 [4:0]	R0 [4:0]	G0 [4:0]	B0 [4:0]	A7 [4:0]	B7 [4:0]	G7 [4:0]	R7 [4:0]	A6 [4:0]	B6 [4:0]	G6 [4:0]	R6 [4:0]	A5 [4:0]	B5 [4:0]	G5 [4:0]	R5 [4:0]	A4 [4:0]	B4 [4:0]	G4 [4:0]	R4 [4:0]	A3 [4:0]	B3 [4:0]	G3 [4:0]	R3 [4:0]	A2 [4:0]	B2 [4:0]	G2 [4:0]	R2 [4:0]	A1 [4:0]	B1 [4:0]	G1 [4:0]	R1 [4:0]	A0 [4:0]	B0 [4:0]	G0 [4:0]	R0 [4:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																			
BGR_565		B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2 [4:0]	B1 [4:0]	G1 [5:0]	R1 [4:0]	B0 [4:0]	G0 [5:0]	R0 [4:0]	B7 [4:0]	G7 [5:0]	R7 [4:0]	B6 [4:0]	G6 [5:0]	R6 [4:0]	B5 [4:0]	G5 [5:0]	R5 [4:0]	B4 [4:0]	G4 [5:0]	R4 [4:0]	B3 [4:0]	G3 [5:0]	R3 [4:0]	B2 [4:0]	G2 [5:0]	R2

- ◇ 每个 D-PHY 链路支持 1 个活动面板
- 分辨率支持
 - ◇ 最高支持 3840 × 2160 @ 60 fps 或 2560 × 1440 @ 90 fps
- 工作模式
 - ◇ 命令模式 (Command Mode), 视频模式 (Video Mode), 视频突发模式 (Video Burst Mode)
- 信号类型支持
 - ◇ HS-TX (高速发送)
 - ◇ LP-TX / LP-RX (低功耗发送 / 接收)
 - ◇ LP-CLK / LP-CD (低功耗时钟 / 数据)
- 数据与通道特性
 - ◇ 支持 DSI 与 DCS 规范定义的所有像素格式
 - ◇ 支持 MIPI 链路上的虚拟通道 (Virtual Channels)
 - ◇ 支持突发视频模式, D-PHY 单通道速率最高达 4.5 Gbps

2.5.3. DP/eDP 控制器

2.5.3.1. 简介

DP/eDP 控制器是一种显示接口控制器, 用于管理从 SoC 到外部 DisplayPort (DP) 或嵌入式 DisplayPort (eDP) 面板的数据传输。

2.5.3.2. 特性

- 符合 DisplayPort (DP) v1.2 标准
- 符合嵌入式 DisplayPort (eDP) v1.4 标准
- 支持最高分辨率: 3840×2160 @ 60fps 或 2560×1440 @ 144fps

2.6. 音频子系统

2.6.1. 简介

K3 SoC 集成了一个功能完备的音频子系统, 旨在提供高音质、低延迟的音频性能。该子系统包含多个 I²S 接口和 DisplayPort 音频接口, 可广泛支持多媒体播放、语音通信等多样化应用场景中的录音与回放需求。

子系统包含以下主要接口:

- 6 路全双工 I²S 接口
- 4 路半双工 I²S 接口 (其中两路连接至 DP/eDP 控制器)
- 2 路 DP/eDP 音频接口

2.6.2. 全双工 I²S 接口特性

- 支持全双工操作, 可同时进行播放与录音

- 符合标准 I²S 音频格式规范
- 固定音频参数：
 - ◇ 采样率：48 kHz
 - ◇ 数据位宽：16 位
 - ◇ 声道数：2（立体声）
- 可配置系统时钟（sysclk）模式：64fs、128fs 或 256fs

2.6.3. 半双工 I²S 接口特性

- 支持半双工模式下的播放或录音
- 兼容标准 I²S、左对齐（Left-Justified）和右对齐（Right-Justified）格式
- 基础音频参数：
 - ◇ 采样率：48 kHz
 - ◇ 数据位宽：16 位
 - ◇ 声道数：2（立体声）
- 支持 TDM（时分复用）模式：
 - ◇ 支持 DSP_A 与 DSP_B 模式
 - ◇ 采样率：48 kHz
 - ◇ 数据位宽：16 位 / 32 位
 - ◇ 最多支持 4 个声道

2.6.4. DP/eDP 音频接口特性

- 支持通过 DisplayPort 或嵌入式 DisplayPort（eDP）链路传输音频
- 兼容 I²S、左对齐及右对齐格式
- 音频参数：
 - ◇ 采样率：最高达 192 kHz
 - ◇ 数据位宽：16 位 / 20 位 / 24 位
 - ◇ 声道数：2（立体声）

2.7. 互联子系统

2.7.1. PCIe 3.0 (IOMMU)

2.7.1.1. 简介

K3 集成了五个 PCIe 端口 —— PCIeA、PCIEB、PCIEC、PCIED 和 PCIEE，每个端口均支持 PCIe Gen3 规范，单通道速率高达 8 GT/s。

- 通道配置
 - ◇ PCIeA 提供 8 条通道
 - ◇ PCIEB 与 PCIEC 各提供 2 条通道
 - ◇ PCIED 与 PCIEE 各提供 1 条通道

- 模式支持
 - ✧ PCIeA 支持双模式操作 (Root Complex / Endpoint)
 - ✧ PCIeB、PCIeC、PCIeD 和 PCIeE 仅支持 Root Complex (RC) 模式
- 虚拟通道 (Virtual Channel) : PCIeB、PCIeC、PCIeD 和 PCIeE 支持 VC0 与 VC1
- IOMMU 支持: PCIeA、PCIeB 和 PCIeE 支持 IOMMU, 用于设备虚拟化
- PHY 配置
 - ✧ 共集成 6 个 PHY, 提供 8 条通道
 - ✧ PHY0 与 PHY1 为双通道 PHY
 - ✧ PHY2、PHY3、PHY4 与 PHY5 为单通道 PHY
 - ✧ PHY2、PHY3 和 PHY4 在 PCIe 与 USB 之间共享

2.7.1.2. 特性

- 支持双模操作, 可通过编程配置为 Root Complex (RC) 或 Endpoint (EP)
- 集成内部地址转换单元 (Internal Address Translation Unit, iATU), 包含 8 个出站 (Outbound) 和 8 个入站 (Inbound) 映射表项
- 集成 DMA 引擎, 具备硬件流控机制, 包含 4 个写通道和 4 个读通道
- 支持 ECRC (End-to-End CRC) 生成与校验
- 支持最大有效载荷 (Max Payload Size) 达 256 字节
- 支持自动通道翻转 (Lane Flip) 与极性反转 (Lane Reversal)
- 支持 Active State Link Power Management (ASPM), 涵盖 L0 与 L1 电源状态
- 支持延迟容忍度报告 (Latency Tolerance Reporting, LTR)
- 支持虚拟通道 VC0 与 VC1
- 支持精确时间测量 (Precision Time Measurement, PTM)
- 支持基于 ID 的排序 (ID-Based Ordering, IDO)
- 支持 Completion Timeout 范围配置
- 支持独立展频的分离参考时钟 (Separate Reference Clock with Independent Spread, SRIS)
- 支持最多 64 个出站 Non-Posted 请求
- 支持最多 32 个未完成的 AXI 从设备 Non-Posted 请求
- Endpoint (EP) 模式下
 - ✧ 支持 Function 0, 配备 6 个可编程尺寸的 BAR (Base Address Register)
 - ✧ 支持 MSI (Message Signaled Interrupt) 能力
- Root Complex (RC) 模式下
 - ✧ 集成 MSI 与 MSI-X 接收模块

2.7.2. USB

2.7.2.1. 简介

K3 集成了多个 USB 接口, 以支持高速连接和灵活的设备配置。USB 子系统包含以下端口:

- 1 个 USB 2.0 Host 端口
- 1 个 USB 3.0 DRD (Dual-Role Device, 双角色设备) 端口, 集成 USB 2.0 DRD 接口 (称为 USB 3.0 Port A)

- 3 个 USB 3.0 Host 端口 (USB 3.0 Port B/C/D) ——其 SuperSpeed PHY 与 PCIe 共享, 可在 USB 或 PCIe 模式下运行, 但同一时间仅能启用其中一种功能

2.7.2.2. USB 2.0 Host 端口特性

控制器

- 仅支持 USB 2.0 Host 模式
- 完全符合 USB 2.0 规范
- 主机控制器寄存器及数据结构遵循 Intel xHCI 规范
- 支持 High-Speed (480 Mb/s)、Full-Speed (12 Mb/s) 和 Low-Speed (1.5 Mb/s) 操作

通信接口

- 采用 UTMI+ (30/60 MHz) 接口连接 USB 2.0 PHY

时钟域

- UTMI+ PHY (30/60 MHz)
- MAC (标称 125 MHz)
- 总线时钟域
- RAM 时钟域

系统与电源管理

- 集成 DMA 控制器
- 支持 USB 2.0 Suspend 模式

端点与内存

- Device 模式下最多支持 32 个端点
- 端点 FIFO 大小可灵活配置 (不强制为 2 的幂次), 便于连续内存分配
- 支持描述符缓存与数据预取, 提升高延迟系统中的性能

其他特性

- 软件控制的标准 USB 命令 (SETUP 包可转发至应用层进行解析)
- 硬件级 USB 总线及包级错误处理机制
- 支持中断

2.7.2.3. USB 3.0 DRD 端口特性 (Port A, 含 USB 2.0 DRD 接口)

控制器

- 同时支持 USB 3.0 与 USB 2.0 的 Host 和 Device 模式
- 完全符合 USB 3.0 与 USB 2.0 规范
- USB 3.0 Host 控制器寄存器及数据结构遵循 Intel xHCI 规范
- USB 3.0 Device 控制器寄存器及数据结构为自定义格式, 需通过软件配置
- 支持 1 个 USB 3.0 端口和 1 个 USB 2.0 端口
- 支持 SuperSpeed (5 Gb/s)、High-Speed (480 Mb/s)、Full-Speed (12 Mb/s) 及 Low-Speed (1.5 Mb/s, 仅限 Host 模式)

通信接口

- USB 3.0 PHY 采用 PIPE3 (125 MHz) 接口
- USB 2.0 PHY 采用 UTMI+ (30/60 MHz) 接口

时钟域

- PIPE3 PHY (125 MHz)
- UTMI+ PHY (30/60 MHz)
- MAC (标称 125 MHz)
- 总线时钟域
- RAM 时钟域

系统与电源管理

- 集成 DMA 控制器
- 支持 USB 2.0 Suspend 模式
- 支持 USB 3.0 U1/U2/U3 低功耗状态

端点与内存

- Device 模式下最多支持 32 个端点
- 端点 FIFO 大小可灵活配置
- 支持描述符缓存与数据预取, 优化吞吐性能

其他特性

- 软件控制的标准 USB 命令
- 硬件级 USB 总线及包级错误检测与恢复机制
- 中断支持
- USB 3.0 SuperSpeed PHY 集成内部 Type-C 插拔方向切换开关, 可通过 GPIO 输入控制

2.7.2.4. USB 3.0 Host 端口特性 (Ports B/C/D)

控制器

- 支持 USB 3.0 与 USB 2.0 Host 模式
- 完全符合 USB 3.0 与 USB 2.0 规范
- USB 3.0 Host 控制器寄存器及数据结构遵循 Intel xHCI 规范
- 支持 1 个 USB 3.0 端口和 1 个 USB 2.0 端口
- 支持 SuperSpeed (5 Gb/s)、High-Speed (480 Mb/s)、Full-Speed (12 Mb/s) 和 Low-Speed (1.5 Mb/s) 操作

通信接口

- USB 3.0 PHY 采用 PIPE3 (125 MHz) 接口
- SuperSpeed PHY 与相应的 PCIe 端口共享 (一次只能激活一个功能)
- USB 2.0 PHY 采用 UTMI+ (30/60 MHz) 接口

时钟域

- PIPE3 PHY (125 MHz)

- UTMI+ PHY (30/60 MHz)
- MAC (标称 125 MHz)
- 总线时钟域
- RAM 时钟域

系统与电源管理

- 集成 DMA 控制器
- 支持 USB 2.0 Suspend 模式
- 支持 USB 3.0 U1/U2/U3 低功耗状态

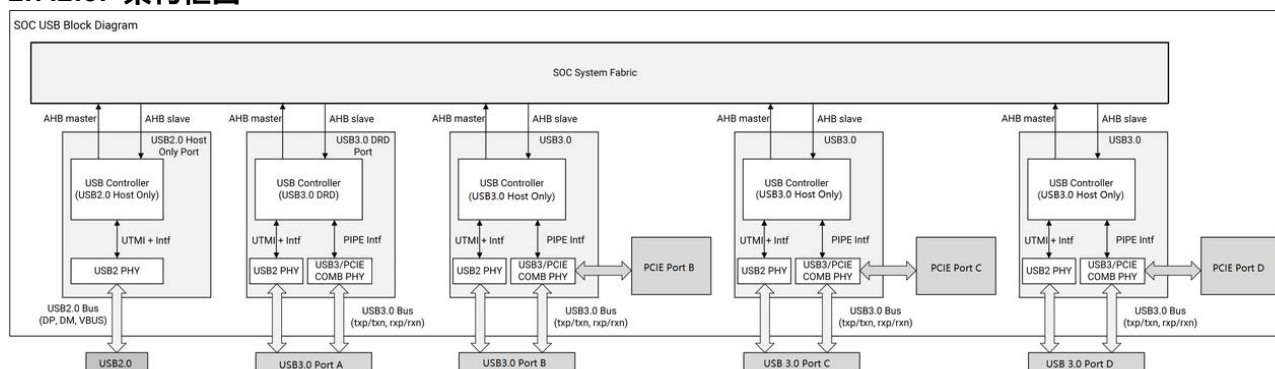
端点与内存

- Device 模式下最多支持 32 个端点
- 端点 FIFO 大小可灵活配置
- 描述符缓存与数据预取，提升性能

其他特性

- 软件控制的 USB 命令
- 硬件级 USB 总线及包级错误处理机制
- 中断支持

2.7.2.5. 架构框图



2.7.3. 以太网 GMAC

2.7.3.1. 简介

K3 集成了四个千兆媒体访问控制器（Gigabit Media Access Controller, GMAC）接口，符合 IEEE 802.3-2015 标准，适用于音视频（AV）桥接/节点、交换机、网络接口卡（NIC）以及数据中心桥接等应用场景。

2.7.3.2. 特性

- 支持 10/100/1000 Mbps 链路速度
- 支持 MII、RMII 和 RGMII 接口
- 提供一组丰富的数据包 (packet) 过滤功能, 包括:
 - ✧ MAC 地址的哈希 (Hash) 与精确 (Perfect) 匹配过滤
 - ✧ 源/目的 IP 地址过滤

- ◇ 源/目的 TCP/UDP 端口过滤
- 兼容 IEEE 1588 v1/v2, 时间同步精度可达亚微秒级
- 支持基于 UDP 的 PTP 一阶段 (One-step) 时间戳
- 传输流量控制
 - ◇ 全双工模式下支持 IEEE Pause 帧或优先级流控 (Priority Flow Control, PFC) 帧
 - ◇ 半双工模式下采用背压 (Backpressure) 机制
- 通过 IEEE Pause 帧实现接收方向流控
- 提供全面的 TCP/IP 卸载功能:
 - ◇ 源地址和 VLAN 的插入、替换和删除
 - ◇ 通过基于硬件的校验和计算和插入来传输校验和卸载
 - ◇ 通过硬件校验和验证接收校验和卸载
 - ◇ IP 校验和卸载: 支持硬件计算并插入
 - ◇ TCP/UDP 校验和卸载: 支持硬件计算并插入
 - ◇ 支持报文头与有效载荷分离存储 (Header/Payload Split)
 - ◇ TCP/UDP 分段卸载 (TSO, TCP Segmentation Offload)
- 支持时间敏感网络 (TSN) :
 - ◇ 调度流量增强 (IEEE 802.1Qbv-2015)
 - ◇ 帧抢占 (Frame Preemption, IEEE 802.1Qbu-2016)
 - ◇ 基于时间的调度 (Time-based Scheduling)

2.7.4. CAN-FD 接口

2.7.4.1. 简介

K3 最多集成 10 路 CAN-FD 接口。每个 CAN-FD 控制器均为完整的 CAN 协议实现, 同时兼容 CAN with Flexible Data-Rate (CAN-FD) 与 CAN 2.0 Part B 规范, 适用于高性能汽车电子及工业通信场景。

2.7.4.2. 特性

- 完全符合 CAN-FD 协议与 CAN 2.0 Part B 标准, 支持:
 - ◇ 标准帧与扩展帧格式
 - ◇ 数据载荷长度从 0 至 64 字节
 - ◇ 可编程码率 (Bit Rate)
 - ◇ 基于内容的寻址 (Content-Related Addressing)
- 符合 ISO 11898-1 标准
- 硅验证通过 ISO 16845-1:2016 CAN 一致性测试
- 灵活的消息邮箱 (Mailbox) 配置: 每个邮箱可配置为 0、8、16、32 或 64 字节, 支持独立配置为发送或接收标准/扩展消息
- 接收 FIFO: 最多支持 6 帧深度, 具有自动指针管理, 并支持 DMA 传输
- 传输特性: 支持中止功能 (Abort), 可配置优先级 (最低 ID、最低缓冲区编号或最高优先级)
- 灵活的消息缓冲区: 128 个槽位 (每个 8 字节), 可配置为发送器或接收器
- 可编程时钟源: 外设时钟或振荡器

- 可用于通用存储的 RAM（非传输/接收必需）
- 特殊工作模式
 - ✧ 监听模式（Listen-Only Mode, LOM）
 - ✧ 自环回模式（Loop-Back Mode），用于自检
 - ✧ 在低功耗模式（Doze 和 Stop）下支持“伪网络”（Pretended Networking）唤醒功能
- 定时与同步
 - ✧ 16 位自由运行定时器，可选外部时钟信号
 - ✧ 通过特定报文实现全局网络时间同步
 - ✧ 错误状态寄存器 1（Error Status 1）中的 SYNCH 位指示同步状态
- 错误处理机制
 - ✧ 发送报文提供 CRC 状态反馈
 - ✧ 每字节配备 5 位奇偶校验码，可纠正单比特错误、检测双比特错误（SEC-DED）
- 高级接收过滤功能
 - ✧ ID 过滤支持 128 个扩展 ID、256 个标准 ID 或 512 个部分（8 位）ID
 - ✧ ID 过滤表中最多可包含 32 个元素
 - ✧ 支持标识符匹配命中指示（Identifier Acceptance Filter Hit Indicator, IDHIT）
- 支持 CAN-FD 高速模式下的收发器延迟补偿（Transceiver Delay Compensation, TDC）
- 通过仲裁机制确保高优先级消息的低传输延迟
- 每个邮箱/FIFO 支持独立且可屏蔽的中断
- 完全向后兼容早期 CAN-FD 版本

2.7.5. SPI 接口

2.7.5.1. 简介

SPI（Serial Peripheral Interface，串行外设接口）是一种同步串行通信接口，支持通过 Motorola SPI 协议与外部设备进行数据交互。该接口可配置为 Master 模式（连接的外设作为 Slave）或 Slave 模式（连接的外设作为 Master）。

2.7.5.2. 特性

支持 SPI 规范定义的所有四种 CPOL/CPHA 组合。

- 可灵活配置为 Master 或 Slave 工作模式。
- 支持仅接收（Receive-without-Transmit）操作模式。
- 串行波特率范围：最低推荐速率：6.3 Kbps，最高支持速率：52 Mbps
- 数据大小可配置为 8 位、16 位、18 位或 32 位。
- 配备独立的发送（TXFIFO）与接收（RXFIFO）缓冲区：
 - ✧ 在非打包数据模式下，两个 FIFO 均为 32 个条目×32 位，总共支持 32 个样本
 - ✧ 在打包数据模式下，8 位或 16 位数据使用双深度 FIFO，提供 64 个条目×16 位，总共支持 64 个样本
 - ✧ 两种 FIFO 均支持通过程序化 I/O（PIO）或 DMA 突发传输进行数据加载与卸载

2.7.6. UART 接口

2.7.6.1. 简介

UART (Universal Asynchronous Receiver/Transmitter, 通用异步收发器) 模块提供系统与外部设备之间的异步串行通信。该模块支持灵活配置、高效数据处理及诊断功能, 适用于低速至高速等多种通信场景。

2.7.6.2. 特性

- 接口: 支持多达 17 个独立的 UART 接口。包括 11 个 AP 域 UART 和 6 个 RCP 域 UART
- 兼容性: 完全兼容业界标准的 8250 UART 规范
- 异步通信: 在串行数据流中自动插入和移除起始位、停止位和奇偶校验位
- 中断控制: 可独立控制发送、接收、线路状态和数据设置中断 (Data Set Interrupt)
- 调制解调器控制: AP 域的 UART1–UART10 和 RCP 域的 UART1 支持 CTS 和 RTS
- 自动流控 (Auto Flow Control)
 - ✧ RTS (输出): 由 UART 接收 FIFO 自动驱动
 - ✧ CTS (输入): 由外部调制解调器的发送信号控制
- 可编程串行参数
 - ✧ 字符长度: 7 或 8 位
 - ✧ 校验方式: 偶校验、奇校验或无校验
 - ✧ 停止位: 1 位
 - ✧ 波特率: 最高达 3.6 Mbps (适用于 4 路高速 UART)
 - ✧ 支持伪起始位 (False Start-Bit) 检测
- FIFO 缓冲区
 - ✧ 发送 FIFO: 256 字节
 - ✧ 接收 FIFO: 256 字节
- 诊断功能
 - ✧ 环回模式 (Loopback Mode), 用于通信链路验证
 - ✧ 中断、奇偶校验和帧错误模拟
- DMA 支持: 提供独立的 DMA 请求通道, 分别用于发送和接收操作

2.7.7. I²C 总线接口

2.7.7.1. 简介

Inter-Integrated Circuit (I²C) 总线是一种支持多主设备的串行通信总线, 具备冲突检测与总线仲裁能力。I²C 总线接口可在 I²C 总线上配置为主设备 (Master) 或从设备 (Slave)。该串行接口由 Philips 公司开发, 仅需两条信号线即可实现通信:

- SDA: 双向数据线, 用于输入和输出
- SCL: 时钟线, 提供时序基准与总线控制

I²C 总线可实现 I²C 控制器与各类外部 I²C 外设或微控制器之间的无缝通信。其简洁的硬件设计为片上与片外设备之间传输控制与状态信息提供了高效且低成本的解决方案。

该 I²C 总线接口挂接于外设总线（Peripheral Bus），并支持以下功能：

- 通过带缓冲的接口进行可靠的数据传输
- 通过内存映射寄存器（Memory-Mapped Registers）实现控制与状态管理

2.7.7.2. 特性

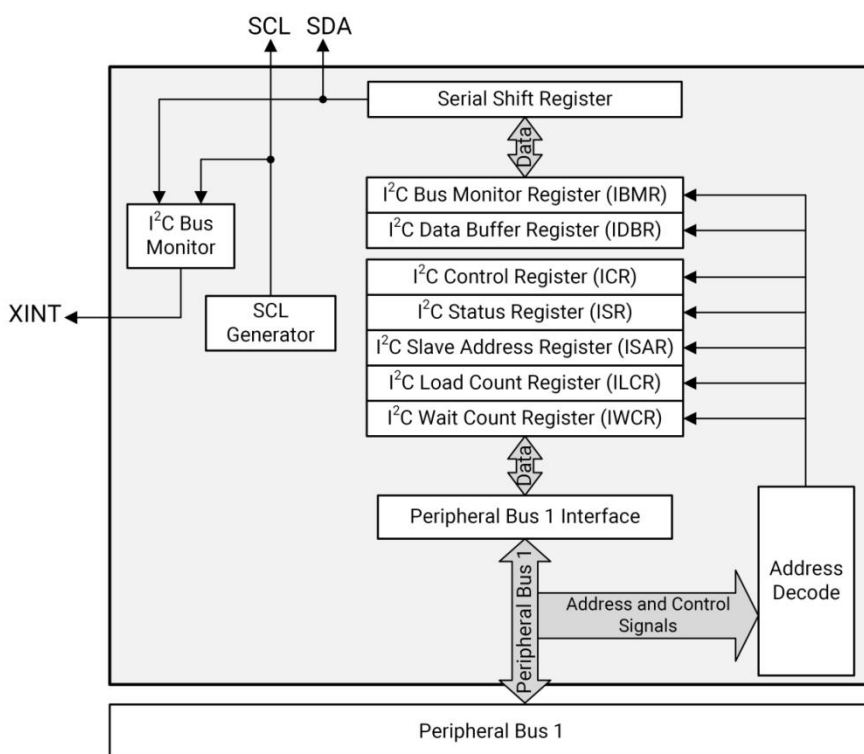
- 最多支持 10 路独立 I²C 接口
- 符合 I²C 总线规范 Version 2.1，但以下功能除外：
 - ✧ 硬件通用呼叫（General Call）支持
 - ✧ 10 位从设备地址（10-bit Slave Addressing）
 - ✧ CBUS 兼容性
- 支持多主设备（Multi-Master）操作与总线仲裁机制
- 支持以下工作模式及速率：
 - ✧ 标准模式（Standard Mode）：最高 100 Kbps
 - ✧ 快速模式（Fast Mode）：最高 400 Kbps
 - ✧ 高速从设备模式（High-Speed Slave Mode）：最高 3.4 Mbps（仅限高速 I²C）
 - ✧ 高速主设备模式（High-Speed Master Mode）：最高 3.3 Mbps（仅限高速 I²C）

注意：

1. 在高速主设备模式下，实际工作频率受限于总线上上拉电阻的阻值。
2. SCL 时钟频率 f 与上拉电阻 R 成反比关系，即 $(f \propto 1/R)$

2.7.7.3. 架构框图

I²C 总线接口的架构如下图所示：



2.7.8. 红外接收接口 (IR-RX Interface)

2.7.8.1. 简介

IRC (红外控制器, Infrared Remote Control Receiver) 用于接收来自外部红外源的红外信号。

2.7.8.2. 特性

- 最多支持 4 路 IRC 模块
- 将接收到的红外信号转换为游程编码 (Run-Length Code, RLC) 格式
- 可配置的信号脉宽阈值, 用于噪声滤波与有效信号检测
- 配备 32 字节 FIFO, 用于暂存接收到的数据
- 采样时钟最高可达 102.4 MHz, 内置 24 位频率分频器, 允许用户灵活配置采样时钟频率

2.7.9. eSPI

2.7.9.1. 简介

eSPI 控制器完整实现了 Enhanced Serial Peripheral Interface (eSPI) v1.0 协议, 该协议由 Intel 于 2016 年正式发布, 旨在替代传统的 LPC (Low Pin Count) 接口, 显著降低引脚数量与功耗。eSPI 广泛应用于嵌入式控制器 (EC)、基板管理控制器 (BMC)、Super I/O (SIO) 器件、Port-80 调试卡等场景。

eSPI 在电气特性上沿用 SPI 总线基础, 但重新定义了协议层。相比 LPC 接口, eSPI 具备以下优势:

- 将所有 LPC/SMBus/边带信号统一转换为带内 (in-band) 信号, 大幅减少所需引脚数
- 支持 20 MHz、25 MHz、33 MHz、50 MHz 和 66 MHz 多种工作频率, 提供更高带宽
- 采用 1.8 V 接口电压

2.7.9.2. 基本特性

- 完全符合 eSPI v1.0 (2016) 规范
- 支持四种通道类型: 外设通道 (Peripheral Channel, PR), 带外通道 (Out-of-Band Channel, OOB), 虚拟线通道 (Virtual Wires Channel, VW), Flash 访问通道 (Flash Access Channel)
- I/O 模式支持: 1x、2x、4x
- 频率模式支持: 20 / 25 / 33 / 50 / 66 MHz
- 支持最多连接 1 个从设备 (SLAVE0)
- 支持自动 CRC 插入与校验, 可通过设置 CRC_CHECK_EN (0x68, SLAVE0_CONFIG) 启用 CRC 校验
- 提供两路合并中断输出: 控制器状态/错误中断和 VW 中断; CPU 通过读取状态寄存器识别具体中断源
- 集成看门狗与软件复位机制, 防止在通过 AXI3 从接口执行 PR 读操作时因从设备无响应导致总线挂死
- 支持主接口自动门控, 在空闲期间降低功耗
- 允许软件重写内部从设备状态寄存器, 便于调试
- 提供寄存器映射的 RESET# 信号, 用于复位 eSPI 从设备

2.7.9.3. PR 通道特性

- PR 通道为软件提供对从设备进行透明读写操作的机制

- eSPI 控制器的 AXI 从接口可转换为 eSPI 总线上的 PR 读写操作；反之，eSPI 总线上从设备发起的请求将转换为 AXI 主接口读写操作，简化 PR 通道通信流程
- 发送 (TX) 与接收 (RX) 数据分别存储于独立的 32 位×16 深度 FIFO
- 使用两个 32 MB 地址窗口通过配置 PR_BASE_ADDR_MEM_0 (0x38) 和 `PR\_BASE\_ADDR\_MEM\_1` (0x3C)，可访问从设备完整的 32 位内存地址空间
- 一个 16 KB 的地址空间用于 PR I/O 读写操作，允许直接访问 16 位 I/O 空间。
- PR 通道上的消息类型传输通过操作寄存器进行启动和接收，并使用独立的 32 字节 FIFO。
- 最大传输单元 PR_MAX_SIZE = 64 字节，要求主从设备在 PR 通道上的每次传输不得跨越 64 字节边界

2.7.9.4. VW 通道特性

- 支持 VW 中断 0-23.
- 最多支持 16 路 GPIO，划分为 4 组，对应 4 个索引；GPIO 组与 VW 通道索引的映射关系可配置
- 单次 VW 传输最大计数为 16
- 可通过寄存器配置触发从设备的中断或 GPIO 操作
- 支持中断与 GPIO 状态的自动更新
- 支持系统事件索引 2-7，并生成相应中断
- 每个中断均关联一个状态寄存器，支持中断屏蔽与极性配置

2.7.9.5. OOB 通道特性

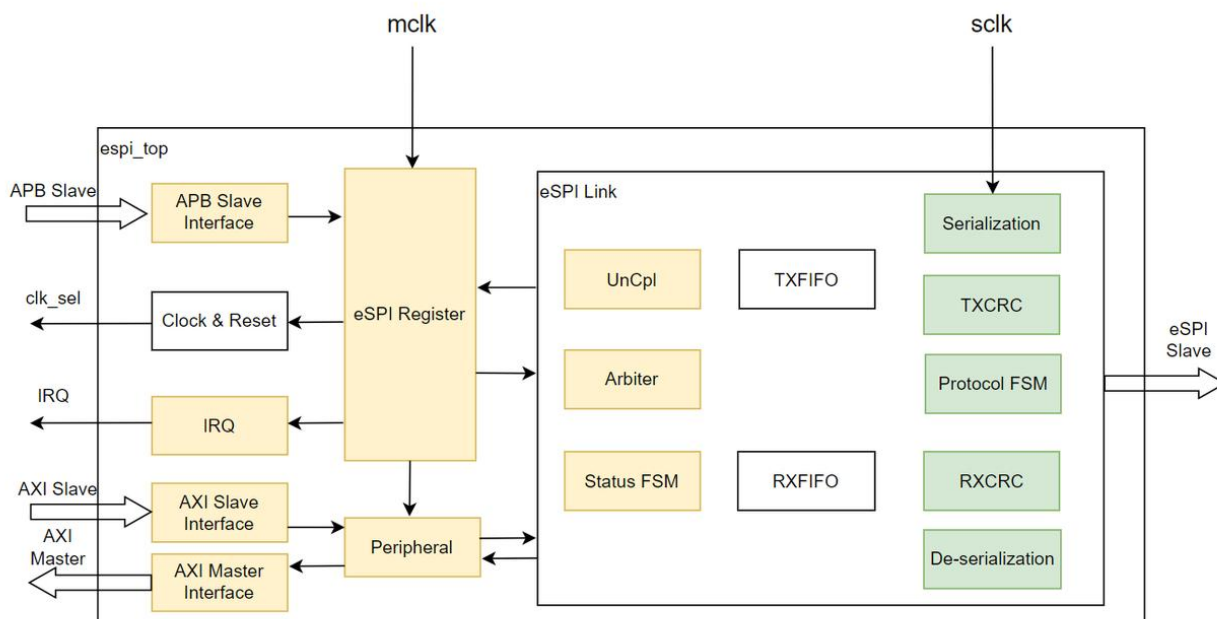
- OOB 请求转发由 CPU 通过中断处理
- 单次 OOB 传输最大长度为 128 字节

2.7.9.6. Flash 访问通道特性

- Flash 访问请求转发由 CPU 通过中断处理
- 单次 Flash 访问传输最大长度为 128 字节

2.7.9.7. 架构框图

eSPI 控制器架构如下图所示：



2.8.安全子系统

2.8.1. 密码引擎 (Crypto Engine)

2.8.1.1. 简介

支持国际通用密码算法及中国商用密码算法。

2.8.1.2. 特性

- 哈希算法：SHA1 / SHA224 / SHA256、SM3
- 对称加密算法：AES-128 / 192 / 256、SM4
- 非对称加密算法：RSA-1024 / 2048 / 4096、ECC-128 / 256 / 512、SM2

2.8.2. TRNG

2.8.2.1. 简介

符合中国商用密码标准的真随机数发生器 (True Random Number Generator, TRNG)。

2.8.2.2. 特性

内置 32 位 TRNG

满足随机性、不可预测性与不可重现性的安全要求

2.8.3. eFuse

2.8.3.1. 简介

集成 4096 位 eFuse，划分为 16 个 Bank，每个 Bank 为 256 位，其中 256 位可供用户自定义使用。

2.8.3.2. 特性

- 支持 eFuse Bank 锁定（防篡改）
- 支持硬件参数自动加载
- 支持芯片生命周期管理
- 支持安全启动（Secure Boot）配置
- 支持根密钥（Root Key）及加密保护密钥的存储
- 支持 256 位非易失性计数器（NV Counter）

2.8.4. IOPMP

2.8.4.1. 简介

IOPMP (I/O Physical Memory Protection, I/O 物理内存保护) 模块与 PMP (Physical Memory Protection) 协同设计，用于保障平台外设的安全访问控制。

- PMP 负责校验由 RISC-V 核心发起的总线访问请求；
- IOPMP 则负责验证由其他总线主设备。

IOPMP 仅可由 Secure World 配置，用于定义非 CPU 主设备所发起事务的访问权限与属性。

所有此类事务均需通过 IOPMP 条目检查，仅当权限验证通过后才允许访问。

2.8.4.2. 特性

- 支持对读、写、执行权限的细粒度访问控制
- 总线请求在权限检查后会产生一个周期的延迟
- 支持访问违规事件信息记录
- 支持访问违规中断生成
- 集成 9 个 IOPMP 实例，为各类硬件模块与子系统提供独立的安全管控能力

2.9. 系统外设

2.9.1. DMA

2.9.1.1. 简介

直接存储器访问（Direct Memory Access, DMA）控制器用于在内存与外设之间传输数据，无需 CPU 干预，从而显著提升系统性能并降低处理器开销。

外设不会直接向内存控制器发起地址或命令请求。取而代之的是，每个来自外设的 DMA 请求将触发一次对应的内存总线事务。

此外，处理器亦可通过 DMA 控制器访问外设总线。此时，DMA 控制器作为 DMA 桥接器（DMA Bridge），可在必要时绕过系统的主 DMA 路径，实现灵活的数据通路。

DMA 控制器通过 16 个可配置 DMA 通道，在 DMA 直通模式（Flow-Through Mode）下支持多种数据传输类型。支持的传输路径如下表所示：

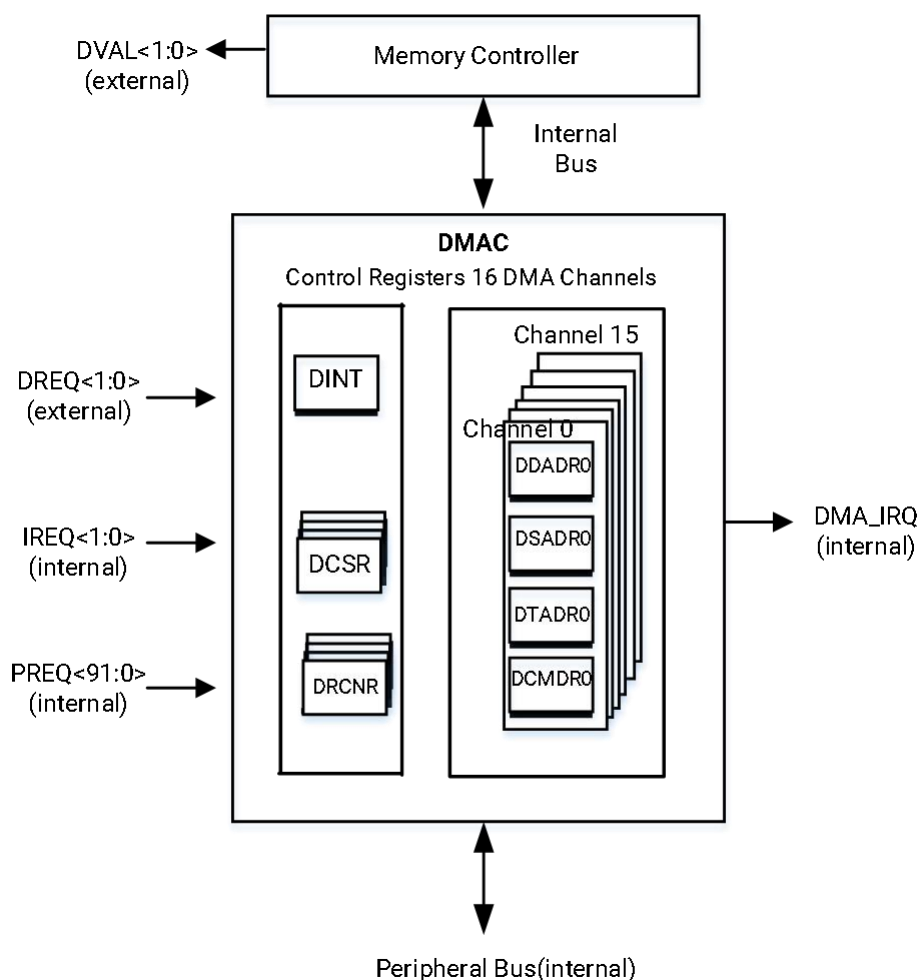
源/目标	片上内存 (Internal Memory)	片外内存 (External Memory)	片上外设 (Internal Peripheral)	片外外设 (External Peripheral)
片上内存 (Internal Memory)	直通模式	—	—	—
片外内存 (External Memory)	直通模式	直通模式	—	—
片上外设 (Internal Peripheral)	直通模式	直通模式	—	—
片外外设 (External Peripheral)	直通模式	直通模式	—	—

2.9.1.2. 特性

- 集成两个独立的 DMA 控制器实例，分别用于：
 - ✧ 安全域 (Secure Domain)
 - ✧ 非安全域 (Non-Secure Domain)
- 在 DMA 直通模式下支持以下数据传输类型：
 - ✧ 内存 → 内存 (Memory-to-Memory)
 - ✧ 外设 → 内存 (Peripheral-to-Memory)
 - ✧ 内存 → 外设 (Memory-to-Peripheral)
- 支持 Flash 与 DDR 内存之间的直通模式数据传输
- 优先级机制：最多可同时处理 4 个存在未完成请求的 DMA 通道
- 16 个 DMA 通道均支持两种工作模式：描述符获取模式 (Descriptor-Fetch Mode)、非描述符获取模式 (Non-Descriptor-Fetch Mode)
- 支持以下高级描述符模式：
 - ✧ 描述符比较 (Descriptor Comparison)
 - ✧ 描述符跳转 (Descriptor Branching)
- 支持从外设接收缓冲区中提取尾部字节 (Trailing Bytes)
- 可配置突发传输长度：8、16、32 或 64 字节
- 可编程外设数据宽度：字节 (Byte)、半字 (Half-Word) 或字 (Word)
- 单个描述符最大支持 8191 字节数据传输；更大传输通过多描述符链式连接 (Chaining) 实现
- 支持流控位 (Flow Control Bit)，用于同步 DMA 请求与外设就绪状态（仅当流控位有效时才执行传输）
- 64 位地址总线，支持对 4 GB 以上物理地址空间的直接访问

2.9.1.3. 架构框图

DMA 控制器架构如下图所示：



2.9.2. HDMA

2.9.2.1. 简介

K3 集成了 8 个 AXI DMA 控制器 (HDMA)。HDMA IP 核是一款高性能、高吞吐量的通用 DMA 控制器，专为在系统内存与高速外设（如高速数据转换器）之间高效传输数据而设计。

2.9.2.2. 特性

- 支持非对齐地址传输 (Unaligned Address Transfers)
- 支持自动跨越 4KB 地址边界 (Automatic 4K Boundary Crossing)
- 采用零延迟传输切换架构，确保高速流式数据的连续无中断传输
- 支持循环传输 (Cyclic Transfers)
- 支持二维传输 (2D Transfers)
- 支持分散-聚集传输 (Scatter-Gather Transfers)
- 支持帧锁 (Framelock) 机制，用于多路数据流的同步
- 支持自动运行模式，实现自主传输操作

2.9.3. 定时器 (Timer)

2.9.3.1. 简介

K3 SoC 集成了 9 个通用 32 位定时器，用于各类系统级应用。每个定时器均配备独立的 32 位定时器计数控制寄存器 (TCCRn)，并以向上计数 (Up-Counter) 模式工作。

2.9.3.2. 特性

- 可编程计数模式：
 - ✧ 快速计数模式 (Fast Count Mode)：输入时钟频率可选 12.8 MHz、6.4 MHz、3 MHz 或 1 MHz
 - ✧ 慢速计数模式 (Slow Count Mode)：输入时钟频率为 32.768 kHz

2.9.4. 看门狗定时器 (Watchdog Timer, WDT)

2.9.4.1. 简介

K3 SoC 集成了 6 个 24 位看门狗定时器 (WDT)，用于监控系统运行状态，并在发生软件故障或系统挂起时触发恢复操作。

2.9.4.2. 特性

- 可编程计数模式：
 - ✧ WDT 使用 256 Hz 的输入时钟频率
 - ✧ 每个 WDT 包含一个 24 位计数器

2.9.5. 温度传感器 (Temperature Sensor)

2.9.5.1. 简介

K3 集成了一个温度传感器 (TSEN) 模块，支持 7 个独立的温度采样点，用于监测芯片内部多个关键位置的热状态。该模块可提供实时温度数据，使系统能够执行动态热管理 (Dynamic Thermal Management) 及过温保护操作。

2.9.5.2. 特性

- 支持系统重启温度阈值配置
- 提供 7 个独立的温度测量点 分别如下：
 - ✧ top sensor
 - ✧ Vpu sensor
 - ✧ Gpu sensor
 - ✧ Cluster0 sensor
 - ✧ Cluster1 sensor
 - ✧ Cluster2 sensor
 - ✧ Cluster3 sensor
- 具备 12 位温度采样精度，实现高精度热监控

2.9.6. 脉宽调制接口 (PWM)

2.9.6.1. 简介

脉宽调制 (Pulse Width Modulation, PWM) 接口通过数字信号实现对模拟电路及外设的精确控制。该接口支持可编程波形生成, 频率、占空比和相位均可调节, 适用于电机控制、LED 调光、音频调制等多种应用场景。

2.9.6.2. 特性

- 通道: K3 包含 20 路独立 PWM 通道 (PWM0–PWM19), 每路均配备专属配置寄存器
- 独立控制能力: 每个通道可独立运行, 并通过多功能引脚输出 PWM 信号
- 时序控制:
 - ✧ 可单独控制每个 PWM 输出的上升沿和下降沿时序
 - ✧ 支持连续模式运行或动态可调波形, 灵活适配不同应用需求
- 频率与占空比:
 - ✧ 频率范围: 195.3 Hz 至 12.8 MHz
 - ✧ 支持 50% 固定占空比; 其他占空比值取决于所选频率下的分辨率
- 计数器与分频器:
 - ✧ 6 位时钟分频器和 10 位周期计数器, 用于精细的频率控制
 - ✧ 15 位脉冲计数器, 用于高精度脉冲生成
- 省电功能:
 - ✧ 支持省电模式, 可通过停止通道的内部时钟 (PSCLK_PWM) 并将输出 (PWM_OUT) 保持在恒定的高电平或低电平状态, 从而在不需要 PWM 输出时降低功耗

2.9.7. 邮箱 (Mailbox)

2.9.7.1. 简介

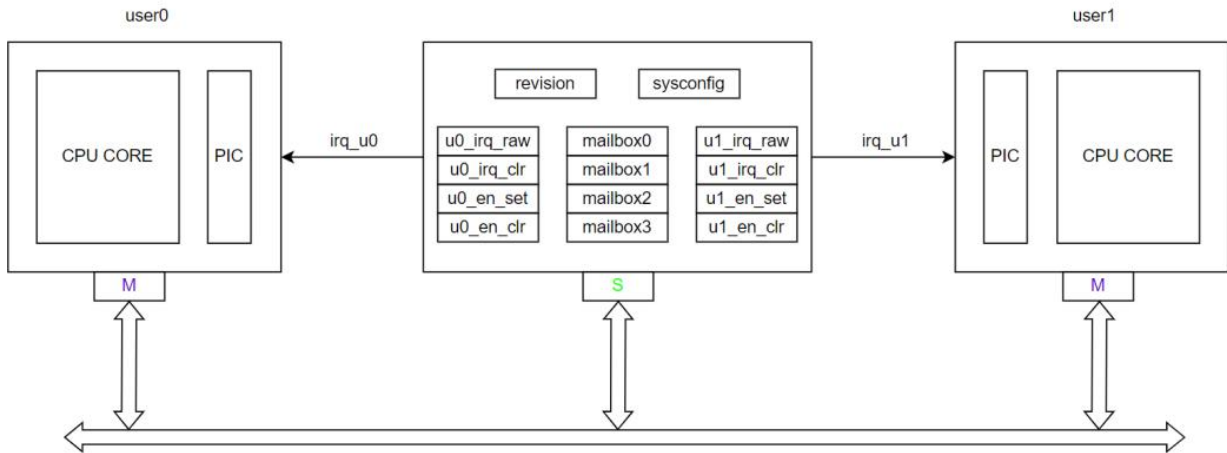
邮箱 (Mailbox) 模块提供一种片上多处理器间通信机制, 支持不同处理器高效地交换消息。

2.9.7.2. 特性

- 每个实例支持四个邮箱通道和两个用户
- 每个邮箱通道配备一个 8×32 位 FIFO
- 提供独立的阈值寄存器, 用于生成新消息和非空中断
- 每个邮箱通道的消息方向 (发送/接收) 可通过软件灵活配置

2.9.7.3. 架构框图

邮箱的架构如下图所示:



2.9.8. 自旋锁 (Spinlock)

2.9.8.1. 简介

自旋锁是一种用于多核系统的硬件同步机制。它可以防止同时访问共享资源，从而确保数据一致性。

2.9.8.2. 特性

- 每个实例支持 32 个锁单元
- 支持两种锁状态：已锁定 (Locked) 与未锁定 (Unlocked)

2.9.9. 通用输入输出 (GPIO)

2.9.9.1. 简介

K3 提供通用输入输出 (General-Purpose Input/Output, GPIO) 端口，用于生成或捕获应用特定的数字信号。这些端口通过复用功能选择器 (Alternate Function Muxing) 接入系统，由 GPIO 控制单元统一管理其配置与状态。

2.9.9.2. 特性

- 配置为输入模式的 GPIO 端口可作为中断源
- 系统复位后，所有 GPIO 端口默认配置为输入，直到被启动过程或用户软件更改
- 每个 GPIO 端口都有专用的控制信号
- 支持基于上升沿、下降沿或双边沿触发的独立中断配置
- 可以单独设置或清除 GPIO 端口的输出
- 可以单独读取 GPIO 端口的输入

2.9.10. Time-Out Monitor

2.9.10.1. 简介

超时监控器 (Time-Out Monitor, TOM) 是一个 AXI 总线事件检测模块，用于监控 AXI 事务，并识别系统组件间数据传输过程中可能出现的超时异常。

2.9.10.2. 特性

- 可配置的超时阈值，用于灵活检测停滞的事务

- 检测到超时事件时可编程的自动响应行为
- 调试支持：捕获第一个超时事务的地址和 ID 以进行分析
- 可配置的 AW/ARREADY 信号监控，以确保总线事务的可靠性

2.10. 时钟与复位 (Clock & Reset)

2.10.1. 简介

K3 集成了多种片上时钟源与复位控制机制，以支持多样化的运行场景，在灵活性、稳定性与能效之间实现优异平衡。

K3 提供以下基础时钟源：

- 1 路 24 MHz 晶振时钟 (OSC)
- 1 路 32.768 kHz 实时时钟 (RTC)
- 1 路 3 MHz 晶振时钟 (OSC)
- 1 路 1 MHz 晶振时钟 (OSC)

2.10.2. 特性

- 集成 8 个锁相环 (PLL)，为不同系统模块提供丰富的频率选项。
- 支持动态电压与频率调节 (DVFS)，实现性能与功耗的最优平衡。
- 支持无毛刺 (Glitch-Free) 时钟切换与可编程时钟分频器，在降低 PLL 资源占用的同时高效生成所需频率。
- 精细的时钟门控和软件控制的复位机制，可提高节能效果并实现灵活的系统管理。

2.10.3. 时钟系统

K3 集成了 8 个锁相环 (PLL)，为各类模块及 CPU 核心提供稳定、可配置的频率源。每个 PLL 均可通过主 PMU 寄存器进行编程控制，并针对低抖动与快速锁定时间进行优化。

- PLL1 用于为 CPU 内核和系统外设生成固定频率点。
- PLL2 用于生成多种固定频率，与 PLL1 相辅相成，为外设模块提供全方位的时钟源。
- PLL3 为 CPU 内核 0 的频率缩放和动态切换提供时钟频率。
- PLL4 为 CPU 内核 1 的频率缩放和切换提供时钟频率。
- PLL5 为 CPU 内核 2 的频率缩放和切换提供时钟频率。
- PLL6 生成额外的固定频率，与 PLL1 一起扩展系统时钟的灵活性。
- PLL7 生成补充固定频率，以支持各种系统和外设模块。
- PLL8 为 CPU Core 3 的频率缩放和动态切换提供时钟频率。

2.10.4. 资源复位方案

K3 SoC 支持多种资源复位策略，如下表所示：

编号	复位方案	说明
----	------	----

编号	复位方案	说明
1	上电复位 (Power-On-Reset)	在芯片上电过程中对整个 SoC 执行复位
2	看门狗复位 (WatchDog Reset)	复位整个芯片，但保留引脚复用 (Pinmux) 寄存器和调试寄存器
3	模块级软件复位 (Module Software Reset)	通过软件对各功能模块进行独立复位
4	电源岛上电复位 (Power Island POR Reset)	在特定电源岛上电时，对该电源岛内所有逻辑执行复位

2.11. 启动模式 (Boot Mode)

2.11.1. 简介

K3 平台支持多种启动方式：

1. 在线下载启动 (Online Download)：通过标准通信协议下载并启动 Bootloader
2. 本地存储启动 (Local Boot)：从本地存储介质加载并启动 Bootloader

启动模式由 Boot Strap 引脚的配置决定。

2.11.2. 特性

K3 平台支持两类启动模式：

1. 下载模式 (Download Mode)

用于固件下载、调试或测试。在此模式下，设备通过有线接口与主机通信，依据预定义协议接收数据并完成系统初始化。

支持的下载模式包括：

- USB Fastboot 模式：通过 USB 2.0 接口，使用 Fastboot 协议连接主机
- UART Xmodem 模式：通过 UART 接口，使用 Xmodem 或 Xmodem-1K 协议连接主机。

2. 正常启动模式 (Normal Boot Mode)

当有效镜像已预置在存储介质中时，系统可直接从指定设备启动。K3 支持从以下存储设备加载 Bootloader：

- SD 卡
- eMMC
- SPI NOR Flash
- SPI NAND Flash
- UFS

启动优先级：

K3 始终优先尝试从 SD 卡启动。

若未检测到 SD 卡，或 SD 卡中无有效 Bootloader 镜像，系统将自动回退至次级启动设备。

次级启动设备可通过 Boot Strap 引脚配置选择。

K3 使用 4 个 Boot Strap 引脚（GPIO_69、GPIO_68、GPIO_66、GPIO_65）组合选择启动模式，具体映射如下：

Download Select GPIO_69	Download Mode GPIO_68	Boot Select1 GPIO_66	Boot Select0 GPIO_65	启动模式
1	0	x	x	USB Fastboot
1	1	x	x	UART Xmodem
0	x	0	0	SD Card → eMMC
0	x	0	1	SD Card → SPI NOR
0	x	1	0	SD Card → SPI NAND
0	x	1	1	SD Card → UFS

注：表中 “x” 表示该引脚状态不影响启动模式选择。

3. 封装

3.1.概述

K3 提供以下封装选项：

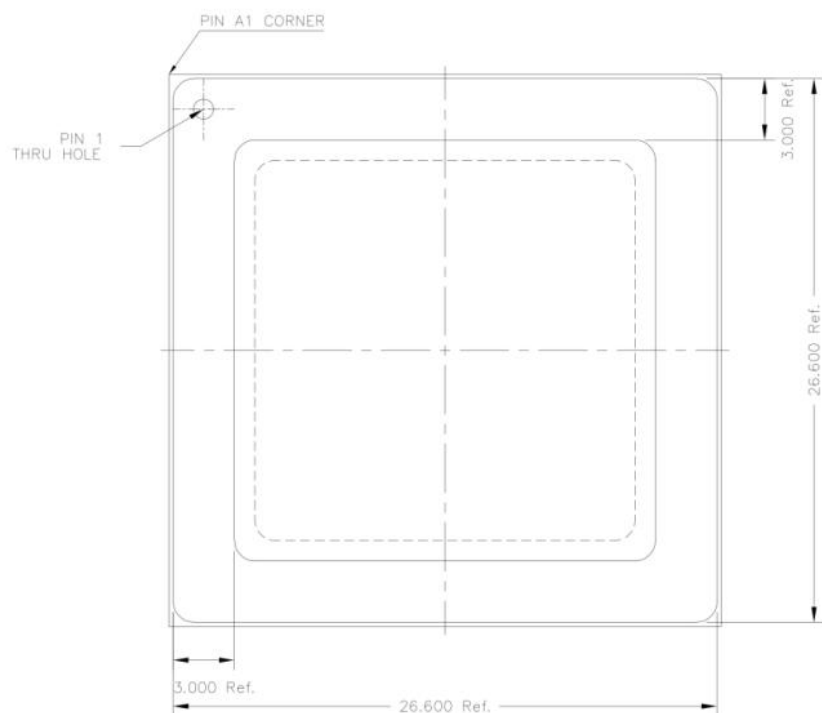
封装类型	尺寸	引脚间距	引脚数量
FBGA	27×27 mm	0.650 mm	1563 (40x40)

相关封装外形图（Package Outline Drawing, POD）详见下节。

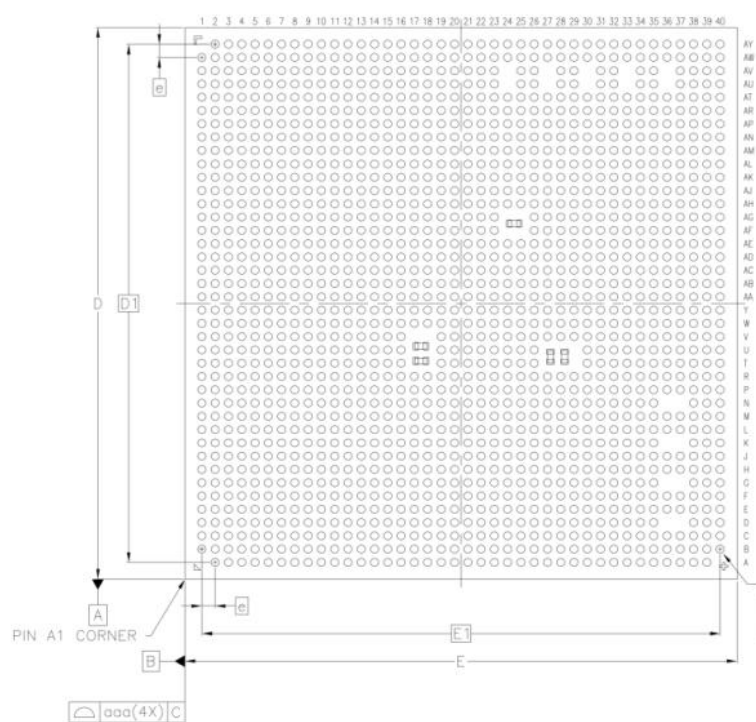
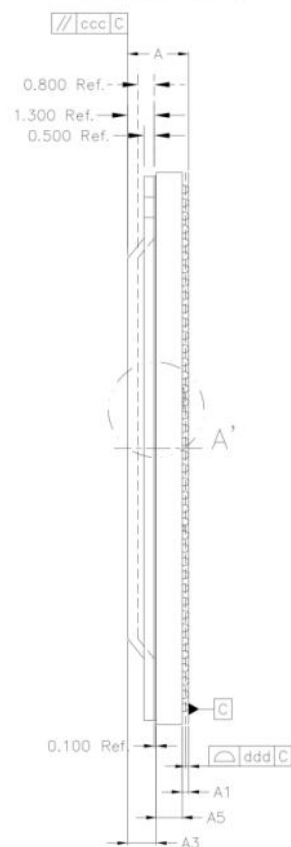
3.2.封装外形图 (POD)

		Symbol	Common Dimensions		
			MIN.	NOM.	MAX.
Total Thickness:		A	2.812	2.978	3.144
Stand Off:		A1	0.270	0.320	0.370
Substrate Thickness:		A5	1.258 Ref.		
THICKNESS FROM SUBSTRATE SURFACE TO THE HIGHEST POINT:		A3	1.400 Ref.		
Body Size:	X	E	26.900	27.000	27.100
	Y	D	26.900	27.000	27.100
Ball Diameter:			0.400		
Ball Width:		b	0.350	0.400	0.450
Ball Pitch:		e	0.650		
Ball Count:		n	1563		
Edge Ball Center to Center:	X	E1	25.350		
	Y	D1	25.350		
Package Edge Tolerance:		aaa	0.100		
Substrate Parallelism:		bbb	—		
Top Parallelism:		ccc	0.350		
Coplanarity:		ddd	0.150		
Ball Offset (Package):		eee	0.200		
Ball Offset (Ball):		fff	0.080		

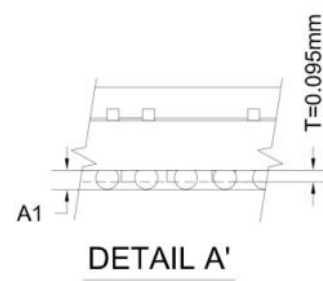
TOP VIEW



SIDE VIEW

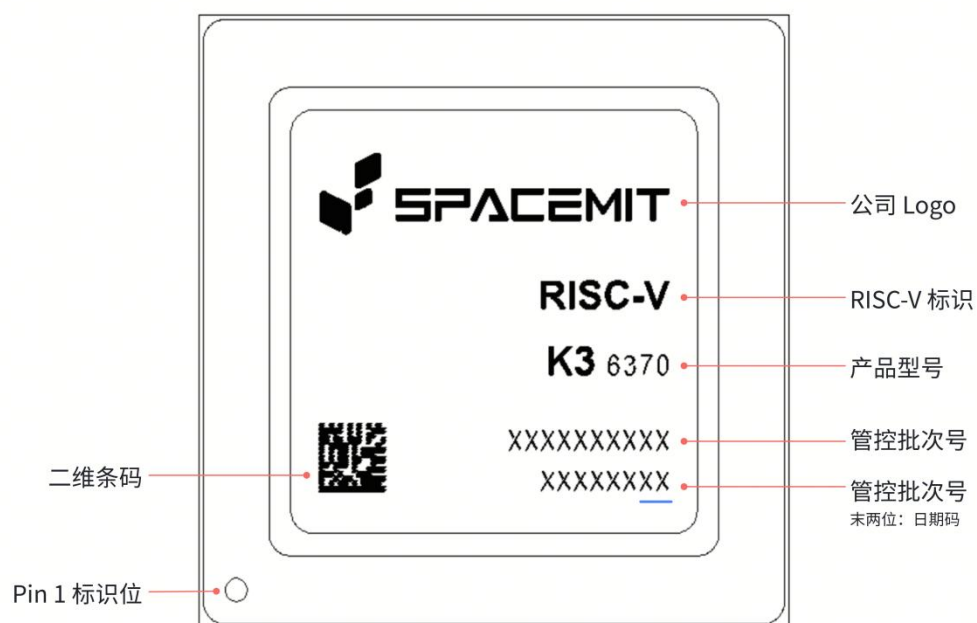


BOTTOM VIEW



3.3. Part Number

下图给出了 K3 Part Number 的组成及字段定义。



4. 引脚定义

4.1. 引脚分布图与说明

K3 的完整引脚分布图如下所示。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40
A																																								
B																																								
C																																								
D																																								
E																																								
F																																								
G																																								
H																																								
J																																								
K																																								
L																																								
M																																								
N																																								
P																																								
R																																								
T																																								
U																																								
V																																								
W																																								
Y																																								
AA																																								
AB																																								
AC																																								
AD																																								
AE																																								
AF																																								
AG																																								
AH																																								
AJ																																								
AK																																								
AL																																								
AM																																								
AN																																								
AP																																								
AR																																								
AT																																								
AU																																								
AV																																								
AW																																								
AY																																								

为便于描述，K3 的引脚按 四个象限（Quadrant）进行划分：

- (A~Y, 1~20)
- (A~Y, 21~40)
- (AA~AY, 1~20)
- (AA~AY, 21~40)

以下各小节将基于该分区方式，详细说明各引脚的功能定义。

4.1.1. (A~Y, 1~20)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
A		VSS	DDR1_DQ_B_08	DDR1_DMI1_B	DDR1_DQ_B_09	AVSS_PCIEUSB	PCIE5_TX0N	AVSS_PCIEUSB	PCIE4/USB3-D_TX0N	AVSS_PCIEUSB	PCIE3/USB3-C_TX0N	AVSS_PCIEUSB	PCIE2/USB3-B_TX0N	AVSS_PCIEUSB	PCIE1_TX1P	AVSS_PCIEUSB	PCIE1_TX0N	AVSS_PCIEUSB	PCIE0_TX1P	AVSS_PCIEUSB
B	VSS	VSS	VSS	DDR1_DQ_B_11	DDR1_DQ_B_10	AVSS_PCIEUSB	PCIE5_TX0P	PCIE5_REFCLK_N	PCIE4/USB3-D_TX0P	PCIE4_REFCLK_P	PCIE3/USB3-C_TX0P	PCIE3_REFCLK_N	PCIE2/USB3-B_TX0P	PCIE2_REFCLK_P	PCIE1_TX1N	PCIE1_REFCLK_P	PCIE1_TX0P	USB20_B_U_SB_P	PCIE0_TX1N	PCIE0_REFCLK_P
C	DDR1_DQ_B_00	DDR1_DQ_B_02	VSS	DDR1_DQS_1_T_B	DDR1_DQS_1_C_B	DDR1_ZN	AVSS_PCIEUSB	PCIE5_REFCLK_P	AVSS_PCIEUSB	PCIE4_REFCLK_N	AVSS_PCIEUSB	PCIE3_REFCLK_P	AVSS_PCIEUSB	PCIE2_REFCLK_N	AVSS_PCIEUSB	PCIE1_REFCLK_N	AVSS_PCIEUSB	USB20_B_U_SB_M	AVSS_PCIEUSB	PCIE0_REFCLK_N
D	DDR1_DQ_B_03	DDR1_DQ_B_01	VSS	VSS	VSS	DDR1_CKE1_B	DDR1_CA_B_00	AVSS_PCIEUSB	PCIE5_RX0P	AVSS_PCIEUSB	USB20_D_U_SB_P	AVSS_PCIEUSB	PCIE4/USB3-D_RX0N	AVSS_PCIEUSB	PCIE3/USB3-C_RX0N	AVSS_PCIEUSB	PCIE2/USB3-B_RX0P	AVSS_PCIEUSB	PCIE1_RX0P	AVSS_PCIEUSB
E	DDR1_WCK_T_B_0	DDR1_WCK_C_B_0	VSS	DDR1_WCK_T_B_1	DDR1_WCK_C_B_1	VSS	DDR1_CS1_B	VSS	PCIE5_RX0N	AVSS_PCIEUSB	USB20_D_U_SB_M	AVSS_PCIEUSB	PCIE4/USB3-D_RX0P	AVSS_PCIEUSB	PCIE3/USB3-C_RX0P	AVSS_PCIEUSB	PCIE2/USB3-B_RX0N	AVSS_PCIEUSB	PCIE1_RX0N	AVSS_PCIEUSB
F	DDR1_DQS_0_T_B	DDR1_DQS_0_C_B	VSS	DDR1_DQ_B_12	VSS	VSS	DDR1_CKE0_B	VSS	VSS	AVDD18_PCIE5	AVDD18_PCIE4/USB3-D	AVSS_PCIEUSB	AVDD18_PCIE3/USB3-C	AVDD18_PCIE2/USB3-B	AVDD18_PCIE1_OMB0_ADT_EST_0	AVDD18_USB20_HOST	USB20_C_U_SB_M	AVSS_PCIEUSB	PCIE1_RX1N	AVSS_PCIEUSB
G	DDR1_DMIO_B	VSS	VSS	DDR1_DQ_B_13	DDR1_DQ_B_15	VSS	DDR1_CA_B_01	VSS	VSS	AVDD18_PCIE5	AVDD18_PCIE4/USB3-D	AVDD18_PCIE3/USB3-C	AVDD18_PCIE2/USB3-B	AVDD18_PCIE1_OMB0_ADT_EST_1	AVSS_PCIEUSB	USB20_C_U_SB_P	AVDD18_PCIE0	PCIE1_RX1P	AVSS_PCIEUSB	AVDD33_C_USB20
H	DDR1_DQ_B_05	DDR1_DQ_B_04	VSS	DDR1_DQ_B_14	DDR1_CA_B_03	VSS	DDR1_CA_B_02	VSS	VSS	AVSS_PCIEUSB	AVSS_PCIEUSB	AVDD18_PCIE3/USB3-C	AVDD18_PCIE2/USB3-B	AVDD18_PCIE1_OMB0_ADT_EST_1	PCIE_USB_C_OMB0_ADT_EST_1	AVDD18_PCIE0	AVDD18_PCIE0	AVDD08_D_USB20	AVDD08_C_USB20	AVSS_PCIEUSB
J	DDR1_DQ_B_07	DDR1_DQ_B_06	VSS	DDR1_CA_A_03	DDR1_CA_B_04	VSS	DDR1_CS0_B_CA06	VSS	VSS	VSS	VSS	AVDD18_PCIE3/USB3-C	AVSS_PCIEUSB	AVDD18_PCIE2/USB3-B	AVSS_PCIEUSB	AVDD18_PCIE1_OMB0_ADT_EST_1	AVDD08_PCIE5	AVDD08_PCIE4/USB3-D	AVDD08_PCIE3/USB3-C	AVDD08_PCIE2/USB3-B
K	VSS	VSS	VSS	DDR1_CA_A_02	DDR1_CA_A_04	VSS	DDR1_CA_A_05	VDDQ_DDR	VSS	VSS	VSS	AVSS_PCIEUSB	AVSS_PCIEUSB	AVSS_PCIEUSB	AVDD18_PCIE2/USB3-B	AVSS_PCIEUSB	AVDD08_PCIE5	AVDD08_PCIE4/USB3-D	AVDD08_PCIE3/USB3-C	AVDD08_PCIE2/USB3-B
L	DDR1_CKT_B	DDR1_CKC_B	VSS	VSS	VSS	VSS	DDR1_CA_A_01	VSS	VSS	VSS	VSS	VSS	VSS	VSS	AVSS_PCIEUSB	AVSS_PCIEUSB	AVSS_PCIEUSB	AVSS_PCIEUSB	AVDD08_PCIE3/USB3-C	AVDD08_PCIE2/USB3-B
M	DDR1_CKT_A	DDR1_CKC_A	VSS	DDR1_DQ_A_00	DDR1_DQ_A_02	VSS	DDR1_CA_A_00	VDDQ_DDR	VSS	VDD0V8_DR	AVDD18_PL_L_DDR1	VSS	VSS	VSS	VSS	VSS	VSS	AVSS_PCIEUSB	VSS	AVDD08_PCIE2/USB3-B
N	DDR1_DQ_A_15	DDR1_DQ_A_14	VSS	DDR1_DQ_A_01	DDR1_DQ_A_03	VSS	DDR1_CKE0_A	VSS	VDD0V8_DR	VSS	AVDD08_PL_L_DDR1	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS
P	DDR1_DQ_A_13	DDR1_DQ_A_12	VSS	DDR1_DQS_0_C_A	DDR1_DQS_0_T_A	VSS	DDR1_CS1_A	VDDQ_DDR	VSS	VDD0V8_DR	VSS	VSS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS
R	DDR1_WCK_C_A_1	DDR1_WCK_T_A_1	VSS	VSS	VSS	VSS	VDDQ_DDR	VSS	VDD0V8_DR	VSS	VSS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS
T	DDR1_DQS_1_C_A	DDR1_DQS_1_T_A	VSS	DDR1_WCK_C_A_0	DDR1_WCK_T_A_0	VSS	DDR1_CKE1_A	VDDQ_DDR	VSS	VDD0V8_DR	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS			VSS	VCC_SYS
U	DDR1_DMI1_A	DDR1_DQ_A_11	VSS	DDR1_DMIO_A	DDR1_DQ_A_04	VSS	DDR1_CS0_A_CA06	VSS	VDD0V8_DR	VSS	VSS	VSS	VCC_SYS	VSS	VCC_SYS	VSS			VCC_SYS	VSS
V	DDR1_DQ_A_10	DDR1_DQ_A_09	VSS	DDR1_DQ_A_07	DDR1_DQ_A_05	VSS	DDR1_CA_A_05	VDDQ_DDR	VSS	VDD0V8_DR	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS			VSS	VCC_SYS
W	DDR1_DQ_A_08	VSS	VSS	DDR1_DQ_A_06	VSS	VSS	VSS	VDDQ_DDR	VSS	VDD2H_DDR	VAA18_VDD2H_DDR	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VSS	VCC_SYS	VCC_SYS	VSS
Y	DDR1_RESET_N	DDR1_PWR_OK	VSS	DDR1_DTO	DDR1_ATO	VSS	VSS	VSS	VDDQ_DDR	VDD2H_DDR	VAA18_VDD2H_DDR	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS

引脚编号	引脚名称	引脚编号	引脚名称
A2	VSS	K20	AVDD08_PCIE1
A3	DDR1_DQ_B_08	L1	DDR1_CKT_B
A4	DDR1_DMI1_B	L2	DDR1_CKC_B
A5	DDR1_DQ_B_09	L3	VSS
A6	AVSS_PCIEUSB	L4	VSS
A7	PCIE5_TX0N	L5	VSS
A8	AVSS_PCIEUSB	L6	VSS
A9	PCIE4/USB3-D_TX0N	L7	DDR1_CA_A_01
A10	AVSS_PCIEUSB	L8	VSS

引脚编号	引脚名称	引脚编号	引脚名称
A11	PCIE3/USB3-C_TX0N	L9	VSS
A12	AVSS_PCIEUSB	L10	VSS
A13	PCIE2/USB3-B_TX0N	L11	VSS
A14	AVSS_PCIEUSB	L12	VSS
A15	PCIE1_TX1P	L13	VSS
A16	AVSS_PCIEUSB	L14	AVSS_PCIEUSB
A17	PCIE1_TX0N	L15	AVSS_PCIEUSB
A18	AVSS_PCIEUSB	L16	AVSS_PCIEUSB
A19	PCIE0_TX1P	L17	AVSS_PCIEUSB
A20	AVSS_PCIEUSB	L18	AVSS_PCIEUSB
B1	VSS	L19	AVDD08_PCIE3/USB3-C
B2	VSS	L20	AVDD08_PCIE2/USB3-B
B3	VSS	M1	DDR1_CKT_A
B4	DDR1_DQ_B_11	M2	DDR1_CKC_A
B5	DDR1_DQ_B_10	M3	VSS
B6	AVSS_PCIEUSB	M4	DDR1_DQ_A_00
B7	PCIE5_TX0P	M5	DDR1_DQ_A_02
B8	PCIE5_REFCLK_N	M6	VSS
B9	PCIE4/USB3-D_TX0P	M7	DDR1_CA_A_00
B10	PCIE4_REFCLK_P	M8	VDDQ_DDR
B11	PCIE3/USB3-C_TX0P	M9	VSS
B12	PCIE3_REFCLK_N	M10	VDD0V8_DDR
B13	PCIE2/USB3-B_TX0P	M11	AVDD18_PLL_DDR1
B14	PCIE2_REFCLK_P	M12	VSS
B15	PCIE1_TX1N	M13	VSS
B16	PCIE1_REFCLK_P	M14	VSS
B17	PCIE1_TX0P	M15	VSS
B18	USB20_B_USB_P	M16	VSS

引脚编号	引脚名称	引脚编号	引脚名称
B19	PCIE0_TX1N	M17	VSS
B20	PCIE0_REFCLK_P	M18	AVSS_PCIEUSB
C1	DDR1_DQ_B_00	M19	VSS
C2	DDR1_DQ_B_02	M20	AVDD08_PCIE2/USB3-B
C3	VSS	N1	DDR1_DQ_A_15
C4	DDR1_DQS1_T_B	N2	DDR1_DQ_A_14
C5	DDR1_DQS1_C_B	N3	VSS
C6	DDR1_ZN	N4	DDR1_DQ_A_01
C7	AVSS_PCIEUSB	N5	DDR1_DQ_A_03
C8	PCIE5_REFCLK_P	N6	VSS
C9	AVSS_PCIEUSB	N7	DDR1_CKE0_A
C10	PCIE4_REFCLK_N	N8	VSS
C11	AVSS_PCIEUSB	N9	VDD0V8_DDR
C12	PCIE3_REFCLK_P	N10	VSS
C13	AVSS_PCIEUSB	N11	AVDD08_PLL_DDR1
C14	PCIE2_REFCLK_N	N12	VSS
C15	AVSS_PCIEUSB	N13	VCC_SYS
C16	PCIE1_REFCLK_N	N14	VSS
C17	AVSS_PCIEUSB	N15	VCC_SYS
C18	USB20_B_USB_M	N16	VSS
C19	AVSS_PCIEUSB	N17	VCC_SYS
C20	PCIE0_REFCLK_N	N18	VSS
D1	DDR1_DQ_B_03	N19	VCC_SYS
D2	DDR1_DQ_B_01	N20	VSS
D3	VSS	P1	DDR1_DQ_A_13
D4	VSS	P2	DDR1_DQ_A_12
D5	VSS	P3	VSS
D6	DDR1_CKE1_B	P4	DDR1_DQS0_C_A

引脚编号	引脚名称	引脚编号	引脚名称
D7	DDR1_CA_B_00	P5	DDR1_DQS0_T_A
D8	AVSS_PCIEUSB	P6	VSS
D9	PCIE5_RX0P	P7	DDR1_CS1_A
D10	AVSS_PCIEUSB	P8	VDDQ_DDR
D11	USB20_D_USB_P	P9	VSS
D12	AVSS_PCIEUSB	P10	VDD0V8_DDR
D13	PCIE4/USB3-D_RX0N	P11	VSS
D14	AVSS_PCIEUSB	P12	VSS
D15	PCIE3/USB3-C_RX0N	P13	VSS
D16	AVSS_PCIEUSB	P14	VCC_SYS
D17	PCIE2/USB3-B_RX0P	P15	VSS
D18	AVSS_PCIEUSB	P16	VCC_SYS
D19	PCIE1_RX0P	P17	VSS
D20	AVSS_PCIEUSB	P18	VCC_SYS
E1	DDR1_WCK_T_B_0	P19	VSS
E2	DDR1_WCK_C_B_0	P20	VCC_SYS
E3	VSS	R1	DDR1_WCK_C_A_1
E4	DDR1_WCK_T_B_1	R2	DDR1_WCK_T_A_1
E5	DDR1_WCK_C_B_1	R3	VSS
E6	VSS	R4	VSS
E7	DDR1_CS1_B	R5	VSS
E8	VSS	R6	VSS
E9	PCIE5_RX0N	R7	VDDQ_DDR
E10	AVSS_PCIEUSB	R8	VSS
E11	USB20_D_USB_M	R9	VDD0V8_DDR
E12	AVSS_PCIEUSB	R10	VSS
E13	PCIE4/USB3-D_RX0P	R11	VSS
E14	AVSS_PCIEUSB	R12	VSS

引脚编号	引脚名称	引脚编号	引脚名称
E15	PCIE3/USB3-C_RX0P	R13	VCC_SYS
E16	AVSS_PCIEUSB	R14	VSS
E17	PCIE2/USB3-B_RX0N	R15	VCC_SYS
E18	AVSS_PCIEUSB	R16	VSS
E19	PCIE1_RX0N	R17	VCC_SYS
E20	AVSS_PCIEUSB	R18	VSS
F1	DDR1_DQS0_T_B	R19	VCC_SYS
F2	DDR1_DQS0_C_B	R20	VSS
F3	VSS	T1	DDR1_DQS1_C_A
F4	DDR1_DQ_B_12	T2	DDR1_DQS1_T_A
F5	VSS	T3	VSS
F6	VSS	T4	DDR1_WCK_C_A_0
F7	DDR1_CKE0_B	T5	DDR1_WCK_T_A_0
F8	VSS	T6	VSS
F9	VSS	T7	DDR1_CKE1_A
F10	AVDD18_PCIE5	T8	VDDQ_DDR
F11	AVDD18_PCIE4/USB3-D	T9	VSS
F12	AVSS_PCIEUSB	T10	VDD0V8_DDR
F13	AVDD18_B_USB20	T11	VSS
F14	PCIE_USB_COMBO_ADTEST_0	T12	VCC_SYS
F15	AVDD18_USB20_HOST	T13	VSS
F16	USB20_C_USB_M	T14	VCC_SYS
F17	AVSS_PCIEUSB	T15	VSS
F18	PCIE1_RX1N	T16	VCC_SYS
F19	AVSS_PCIEUSB	T19	VSS
F20	AVDD33_D_USB20	T20	VCC_SYS
G1	DDR1_DMI0_B	U1	DDR1_DMI1_A
G2	VSS	U2	DDR1_DQ_A_11

引脚编号	引脚名称	引脚编号	引脚名称
G3	VSS	U3	VSS
G4	DDR1_DQ_B_13	U4	DDR1_DMI0_A
G5	DDR1_DQ_B_15	U5	DDR1_DQ_A_04
G6	VSS	U6	VSS
G7	DDR1_CA_B_01	U7	DDR1_CS0_A_CA06
G8	VSS	U8	VSS
G9	VSS	U9	VDD0V8_DDR
G10	AVDD18_PCIE5	U10	VSS
G11	AVDD18_PCIE4/USB3-D	U11	VSS
G12	AVDD18_C_USB20	U12	VSS
G13	AVDD18_PCIE1	U13	VCC_SYS
G14	AVDD18_PCIE1	U14	VSS
G15	AVSS_PCIEUSB	U15	VCC_SYS
G16	USB20_C_USB_P	U16	VSS
G17	AVDD18_PCIE0	U19	VCC_SYS
G18	PCIE1_RX1P	U20	VSS
G19	AVSS_PCIEUSB	V1	DDR1_DQ_A_10
G20	AVDD33_C_USB20	V2	DDR1_DQ_A_09
H1	DDR1_DQ_B_05	V3	VSS
H2	DDR1_DQ_B_04	V4	DDR1_DQ_A_07
H3	VSS	V5	DDR1_DQ_A_05
H4	DDR1_DQ_B_14	V6	VSS
H5	DDR1_CA_B_03	V7	DDR1_CA_A_05
H6	VSS	V8	VDDQ_DDR
H7	DDR1_CA_B_02	V9	VSS
H8	VSS	V10	VDD0V8_DDR
H9	VSS	V11	VSS
H10	VSS	V12	VCC_SYS

引脚编号	引脚名称	引脚编号	引脚名称
H11	AVSS_PCIEUSB	V13	VSS
H12	AVSS_PCIEUSB	V14	VCC_SYS
H13	AVDD18_PCIE3/USB3-C	V15	VSS
H14	AVDD18_PCIE1	V16	VCC_SYS
H15	PCIE_USB_COMBO_ADTEST_1	V19	VSS
H16	AVDD18_PCIE0	V20	VCC_SYS
H17	AVDD18_PCIE0	W1	DDR1_DQ_A_08
H18	AVDD08_D_USB20	W2	VSS
H19	AVDD08_C_USB20	W3	VSS
H20	AVSS_PCIEUSB	W4	DDR1_DQ_A_06
J1	DDR1_DQ_B_07	W5	VSS
J2	DDR1_DQ_B_06	W6	VSS
J3	VSS	W7	VSS
J4	DDR1_CA_A_03	W8	VDDQ_DDR
J5	DDR1_CA_B_04	W9	VSS
J6	VSS	W10	VDD2H_DDR
J7	DDR1_CS0_B_CA06	W11	VAA18_VDD2H_DDR
J8	VSS	W12	VSS
J9	VSS	W13	VCC_SYS
J10	VSS	W14	VSS
J11	VSS	W15	VCC_SYS
J12	AVDD18_D_USB20	W16	VSS
J13	AVDD18_PCIE3/USB3-C	W17	VSS
J14	AVSS_PCIEUSB	W18	VCC_SYS
J15	AVDD18_PCIE2/USB3-B	W19	VCC_SYS
J16	AVSS_PCIEUSB	W20	VSS
J17	AVDD08_PCIE5	Y1	DDR1_RESET_N
J18	AVDD08_PCIE4/USB3-D	Y2	DDR1_PWROK

引脚编号	引脚名称	引脚编号	引脚名称
J19	AVDD08_PCIE1	Y3	VSS
J20	AVDD08_PCIE1	Y4	DDR1_DTO
K1	VSS	Y5	DDR1_ATO
K2	VSS	Y6	VSS
K3	VSS	Y7	VSS
K4	DDR1_CA_A_02	Y8	VSS
K5	DDR1_CA_A_04	Y9	VDDQ_DDR
K6	VSS	Y10	VDD2H_DDR
K7	DDR1_CA_B_05	Y11	VAA18_VDD2H_DDR
K8	VDDQ_DDR	Y12	VCC_SYS
K9	VSS	Y13	VSS
K10	VSS	Y14	VCC_SYS
K11	VSS	Y15	VSS
K12	AVSS_PCIEUSB	Y16	VCC_SYS
K13	AVSS_PCIEUSB	Y17	VSS
K14	AVSS_PCIEUSB	Y18	VCC_SYS
K15	AVDD18_PCIE2/USB3-B	Y19	VSS
K16	AVSS_PCIEUSB	Y20	VCC_SYS
K17	AVDD08_PCIE5		
K18	AVDD08_PCIE4/USB3-D		
K19	AVDD08_PCIE3/USB3-C		

4.1.2. (A~Y, 21~40)

21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40		
PCIE0_TX0N	AVSS_PCIEUSB	UCIE_EW_T XDATA_M0[2]	VSS_UCIE	UCIE_EW_T XCKN_M0	UCIE_EW_T XDATA_M0[8]	VSS_UCIE	UCIE_EW_R XCKP_M0	UCIE_EW_R XCKSB_M0	VSS_UCIE	UCIE_EW_R XDATA_M0[7]	UCIE_EW_R XDATA_M0[2]	VSS_UCIE	GPIO[2]_21	GPIO[2]_25	GPIO[2]_29	GPIO[2]_32	GPIO[2]_34	VSS		A	
PCIE0_TX0P	USB20_HOST_M	UCIE_EW_T XDATA_M0[5]	UCIE_EW_T XDATA_M0[3]	VSS_UCIE	UCIE_EW_T XCKP_M0	UCIE_EW_T XDATA_M0[14]	VSS_UCIE	UCIE_EW_R XCKN_M0	UCIE_EW_R XDATA_M0[15]	VSS_UCIE	UCIE_EW_R XDATA_M0[5]	VSS	GPIO[2]_22	GPIO[2]_26	GPIO[2]_30	VSS	GPIO[2]_33	GPIO[2]_38	VSS	B	
AVSS_PCIEU SB	USB20_HOST_P	VSS_UCIE	UCIE_EW_T XDATA_M0[4]	UCIE_EW_T XTRK_M0	VSS_UCIE	UCIE_EW_T XDATA_M0[11]	UCIE_EW_R XDATA_M0[11]	VSS_UCIE	UCIE_EW_R XDATA_M0[12]	UCIE_EW_R XTRK_M0	VSS_UCIE	VSS	GPIO[2]_23	GPIO[2]_27	GPIO[2]_31	GPIO[2]_35	GPIO[2]_36	VSS	GPIO[2]_40	C	
PCIE0_RX1P	AVSS_PCIEUSB	UCIE_EW_T XDATA_M0[0]	VSS_UCIE	UCIE_EW_T XVLD_M0	UCIE_EW_T XDATA_M0[12]	VSS_UCIE	UCIE_EW_R XDATA_M0[10]	UCIE_EW_R XDATA_M0[14]	VSS_UCIE	UCIE_EW_R XDATA_M0[6]	UCIE_EW_R XDATA_M0[1]	VSS	VSS	GPIO[2]_28			GPIO[2]_37	GPIO[2]_39	GPIO[2]_41	D	
PCIE0_RX1N	AVSS_PCIEUSB	UCIE_EW_T XDATABS_M 0	UCIE_EW_O _CKNT	VSS_UCIE	UCIE_EW_T XCKSB_M0	UCIE_EW_T XDATA_M0[13]	VSS_UCIE	UCIE_EW_R XDATA_M0[8]	UCIE_EW_R XDATA_M0[9]	VSS_UCIE	UCIE_EW_R XDATABS_M 0	VSS	GPIO[2]_24	PMIC_INT_N	PWR_SSP_S CLK	PMIC_WDT _N	PRI_TDO	PRI_TRST_N	PWR_SSP_T XD	E	
AVSS_PCIEU SB	PCIE0_RX0P	VSS_UCIE	UCIE_EW_O _CKPT	UCIE_EW_T XDATA_M0[7]	VSS_UCIE	UCIE_EW_T XDATA_M0[9]	UCIE_EW_T XDATA_M0[15]	VSS_UCIE	UCIE_EW_R XVLD_M0	UCIE_EW_R XDATA_M0[3]	VSS_UCIE	VSS	PRI_TMS	VSS	PWR_SSP_R XD	EXT_32K_IN	PWR_SCL	PRI_TDI	VSS	F	
AVDD033_US B20_HOST	PCIE0_RX0N	VSS_UCIE	VSS_UCIE	UCIE_EW_T XDATA_M0[6]	UCIE_EW_T XDATA_M0[1]	VSS_UCIE	UCIE_EW_R XDATA_M0[10]	UCIE_EW_R XDATA_M0[13]	VSS_UCIE	UCIE_EW_R XDATA_M0[4]	UCIE_EW_R XDATA_M0[0]	VSS	PRI_TCK	VCXO_EN				PWR_SDA	RESET_IN_N	PWR_SSP_F RM	G
AVDD033_B USB20	AVSS_PCIEUSB	AVSS_PCIEU SB	VSS_UCIE	UCIE_EW_A TEST	UCIE_BGR_E AREFLCKN	UCIE_VDD_0 V8	UCIE_EW_V CTRL_EXT	VSS_UCIE	VSS_UCIE	VSS_UCIE	VSS_UCIE	VSS	GPIO[3]_42	GPIO[3]_47	GPIO[3]_53	GPIO[3]_55	GPIO[3]_54	VSS	GPIO[3]_69	H	
AVDD08_PC IE0	AVSS_PCIEUSB	AVSS_PCIEU SB	UCIE_VCCA ON_0V8	UCIE_VCCA ON_0V8	UCIE_BGR_E AREFLCKP	UCIE_VDD_0 V8	VSS_UCIE	UCIE_VCCIO _0V8	VSS_UCIE	VSS_UCIE	XI_PAD	AVSS_OSCP LL234567	GPIO[3]_43	GPIO[3]_48	VSS	GPIO[3]_56	GPIO[3]_59	GPIO[3]_64	GPIO[3]_70	J	
AVDD08_PC IE0	AVDD08_USB20_H OST	AVSS_PCIEU SB	AVSS_PCIEU SB	UCIE_VCCA ON_0V8	UCIE_VCCPL L_1P2V	VSS_UCIE	UCIE_VCCIO _0V8	UCIE_VCCIO _0V8	UCIE_VCCIO _0V8	VSS_UCIE	XO_PAD	AVSS_OSCP LL234567	GPIO[3]_44	GPIO[3]_49			VSS	GPIO[3]_65	GPIO[3]_71	K	
AVDD08_PC IE0	AVDD08_B_USB20	AVSS_PCIEU SB	AVSS_PCIEU SB	UCIE_VDDH _0V9	UCIE_VCCPL L_1P2V	VSS_UCIE	UCIE_VCCIO _0V8	VSS_UCIE	VSS_UCIE	AVSS_OSCP LL234567	VSS	VSS	GPIO[3]_45	GPIO[3]_50	VSS	GPIO[3]_57	GPIO[3]_60	GPIO[3]_66	GPIO[3]_72	L	
AVSS_PCIEU SB	AVSS_PCIEUSB	AVSS_USB2 0_HOST	AVSS_PCIEU SB	VSS	UCIE_VDDV PH0_0V9	UCIE_VDDV PH0_0V9	VCC_SYS	VSS	VCC_SYS	AVSS_OSCP LL234567	VSS	VSS	GPIO[3]_46	GPIO[3]_51	GPIO[3]_58	VSS	GPIO[3]_61	GPIO[3]_67	GPIO[3]_73	M	
VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	DTEST_PAD	ATEST_PAD	GPIO[3]_52				VSS	GPIO[3]_74	N	
VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VSS	VSS	VSS	VSS	VSS	EMMC_DS	GPIO[3]_63	GPIO[3]_68	GPIO[3]_75	P	
VCC_SYS	AVDD08_OSC	AVDD18_O SC	AVSS_OSCP LL234567	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VSS	VCC18_GPI O2	VCC18_GPI O2	VSS	VSS	EMMC_CLK	EMMC_CM D	VSS	EMMC_D5	EMMC_D3	R	
VSS	AVDD08_PLL234	AVSS_OSCP LL234567	VCC_SYS	VSS	VCC_SYS				VCC_SYS	VSS	VCC1833_G PIO2	VCC1833_G PIO2	AVDD18_FU SE	VSS	EMMC_D4	EMMC_D1	EMMC_D6	EMMC_D2	EMMC_D7	T	
VCC_SYS	PCIE/USB3_RC AL	AVDD18_PL L234	VSS	VCC_SYS	VSS				VSS	VCC_SYS	VCC18_PMI C	VCC18_PMI C	VSS	VSS	VSS	VSS	EMMC_D0	VSS	VSS	U	
VSS	AVDD18_PLL567	AVDD08_PL L567	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC18_GPI O3	VCC18_GPI O3	VSS	VSS	MIPLCS12_D 3N	MIPLCS12_D 3P	AVSS_MIP10 12	MIPLCS12_D 2N	MIPLCS12_D 2P	V	
VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VCC_SYS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	AVDD08_E MMC	AVDD08_E MMC	VSS	VSS	AVSS_MIP10 12	AVSS_MIP10 12	MIPLCS13_C LKN	MIPLCS13_C LKP	AVSS_MIP10 12	W	
VSS	VCC_SYS	VSS	VCC_SYS	VCC_SYS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC18_EM MC	VCC18_EM MC	VSS	VSS	MIPLCS12_D 1P	MIPLCS12_D 1N	AVSS_MIP10 12	MIPLCS12_D 0P	MIPLCS12_D 0N	Y	

引脚编号	引脚名称	引脚编号	引脚名称
A21	PCIE0_TX0N	L26	UCIE_VCCPLL_1P2V
A22	AVSS_PCIEUSB	L27	VSS_UCIE
A23	UCIE_EW_TXDATA_M0[2]	L28	UCIE_VCCIO_0V8
A24	VSS_UCIE	L29	VSS_UCIE
A25	UCIE_EW_TXCKN_M0	L30	VSS_UCIE
A26	UCIE_EW_TXDATA_M0[8]	L31	AVSS_OSCP_LL234567
A27	VSS_UCIE	L32	VSS
A28	UCIE_EW_RXCKP_M0	L33	VSS
A29	UCIE_EW_RXCKSB_M0	L34	GPIO[3]_45
A30	VSS_UCIE	L35	GPIO[3]_50

引脚编号	引脚名称	引脚编号	引脚名称
A31	UCIE_EW_RXDATA_M0[7]	L36	VSS
A32	UCIE_EW_RXDATA_M0[2]	L37	GPIO[3]_57
A33	VSS_UCIE	L38	GPIO[3]_60
A34	GPIO[2]_21	L39	GPIO[3]_66
A35	GPIO[2]_25	L40	GPIO[3]_72
A36	GPIO[2]_29	M21	AVSS_PCIEUSB
A37	GPIO[2]_32	M22	AVSS_PCIEUSB
A38	GPIO[2]_34	M23	AVSS_USB20_HOST
A39	VSS	M24	AVSS_PCIEUSB
B21	PCIE0_TX0P	M25	VSS
B22	USB20_HOST_M	M26	UCIE_VDDVPH0_0V9
B23	UCIE_EW_TXDATA_M0[5]	M27	UCIE_VDDVPH0_0V9
B24	UCIE_EW_TXDATA_M0[3]	M28	VCC_SYS
B25	VSS_UCIE	M29	VSS
B26	UCIE_EW_TXCKP_M0	M30	VCC_SYS
B27	UCIE_EW_TXDATA_M0[14]	M31	AVSS_OSCPLL234567
B28	VSS_UCIE	M32	VSS
B29	UCIE_EW_RXCKN_M0	M33	VSS
B30	UCIE_EW_RXDATA_M0[15]	M34	GPIO[3]_46
B31	VSS_UCIE	M35	GPIO[3]_51
B32	UCIE_EW_RXDATA_M0[5]	M36	GPIO[3]_58
B33	VSS	M37	VSS
B34	GPIO[2]_22	M38	GPIO[3]_61
B35	GPIO[2]_26	M39	GPIO[3]_67
B36	GPIO[2]_30	M40	GPIO[3]_73
B37	VSS	N21	VCC_SYS
B38	GPIO[2]_33	N22	VSS
B39	GPIO[2]_38	N23	VCC_SYS
B40	VSS	N24	VSS

引脚编号	引脚名称	引脚编号	引脚名称
C21	AVSS_PCIEUSB	N25	VCC_SYS
C22	USB20_HOST_P	N26	VSS
C23	VSS_UCIE	N27	VCC_SYS
C24	UCIE_EW_TXDATA_M0[4]	N28	VSS
C25	UCIE_EW_TXTRK_M0	N29	VCC_SYS
C26	VSS_UCIE	N30	VSS
C27	UCIE_EW_TXDATA_M0[11]	N31	VCC_SYS
C28	UCIE_EW_RXDATA_M0[11]	N32	VSS
C29	VSS_UCIE	N33	DTEST_PAD
C30	UCIE_EW_RXDATA_M0[12]	N34	ATEST_PAD
C31	UCIE_EW_RXTRK_M0	N35	GPIO[3]_52
C32	VSS_UCIE	N38	GPIO[3]_62
C33	VSS	N39	VSS
C34	GPIO[2]_23	N40	GPIO[3]_74
C35	GPIO[2]_27	P21	VSS
C36	GPIO[2]_31	P22	VCC_SYS
C37	GPIO[2]_35	P23	VSS
C38	GPIO[2]_36	P24	VCC_SYS
C39	VSS	P25	VSS
C40	GPIO[2]_40	P26	VCC_SYS
D21	PCIE0_RX1P	P27	VSS
D22	AVSS_PCIEUSB	P28	VCC_SYS
D23	UCIE_EW_TXDATA_M0[0]	P29	VSS
D24	VSS_UCIE	P30	VCC_SYS
D25	UCIE_EW_TXVLD_M0	P31	VSS
D26	UCIE_EW_TXDATA_M0[12]	P32	VSS
D27	VSS_UCIE	P33	VSS
D28	UCIE_EW_RXDATA_M0[10]	P34	VSS
D29	UCIE_EW_RXDATA_M0[14]	P35	VSS

引脚编号	引脚名称	引脚编号	引脚名称
D30	VSS_UCIE	P36	VSS
D31	UCIE_EW_RXDATA_M0[6]	P37	EMMC_DS
D32	UCIE_EW_RXDATA_M0[1]	P38	GPIO[3]_63
D33	VSS	P39	GPIO[3]_68
D34	VSS	P40	GPIO[3]_75
D35	GPIO[2]_28	R21	VCC_SYS
D38	GPIO[2]_37	R22	AVDD08_OSC
D39	GPIO[2]_39	R23	AVDD18_OSC
D40	GPIO[2]_41	R24	AVSS_OSCPLL234567
E21	PCIE0_RX1N	R25	VCC_SYS
E22	AVSS_PCIEUSB	R26	VSS
E23	UCIE_EW_TXDATASB_M0	R27	VCC_SYS
E24	UCIE_EW_O_CKNT	R28	VSS
E25	VSS_UCIE	R29	VCC_SYS
E26	UCIE_EW_TXCKSB_M0	R30	VSS
E27	UCIE_EW_TXDATA_M0[13]	R31	VSS
E28	VSS_UCIE	R32	VCC18_GPIO2
E29	UCIE_EW_RXDATA_M0[8]	R33	VCC18_GPIO2
E30	UCIE_EW_RXDATA_M0[9]	R34	VSS
E31	VSS_UCIE	R35	VSS
E32	UCIE_EW_RXDATASB_M0	R36	EMMC_CLK
E33	VSS	R37	EMMC_CMD
E34	GPIO[2]_24	R38	VSS
E35	PMIC_INT_N	R39	EMMC_D5
E36	PWR_SSP_SCLK	R40	EMMC_D3
E37	PMIC_WDT_N	T21	VSS
E38	PRI_TDO	T22	AVDD08_PLL234
E39	PRI_TRST_N	T23	AVSS_OSCPLL234567
E40	PWR_SSP_TXD	T24	VCC_SYS

引脚编号	引脚名称	引脚编号	引脚名称
F21	AVSS_PCIEUSB	T25	VSS
F22	PCIE0_RX0P	T26	VCC_SYS
F23	VSS_UCIE	T30	VCC_SYS
F24	UCIE_EW_O_CKPT	T31	VSS
F25	UCIE_EW_TXDATA_M0[7]	T32	VCC1833_GPIO2
F26	VSS_UCIE	T33	VCC1833_GPIO2
F27	UCIE_EW_TXDATA_M0[9]	T34	AVDD18_FUSE
F28	UCIE_EW_TXDATA_M0[15]	T35	VSS
F29	VSS_UCIE	T36	EMMC_D4
F30	UCIE_EW_RXVLD_M0	T37	EMMC_D1
F31	UCIE_EW_RXDATA_M0[3]	T38	EMMC_D6
F32	VSS_UCIE	T39	EMMC_D2
F33	VSS	T40	EMMC_D7
F34	PRI_TMS	U21	VCC_SYS
F35	VSS	U22	PCIE/USB3_RCAL
F36	PWR_SSP_RXD	U23	AVDD18_PLL234
F37	EXT_32K_IN	U24	VSS
F38	PWR_SCL	U25	VCC_SYS
F39	PRI_TDI	U26	VSS
F40	VSS	U30	VSS
G21	AVDD33_USB20_HOST	U31	VCC_SYS
G22	PCIE0_RX0N	U32	VCC18_PMIC
G23	VSS_UCIE	U33	VCC18_PMIC
G24	VSS_UCIE	U34	VSS
G25	UCIE_EW_TXDATA_M0[6]	U35	VSS
G26	UCIE_EW_TXDATA_M0[1]	U36	VSS
G27	VSS_UCIE	U37	VSS
G28	UCIE_EW_TXDATA_M0[10]	U38	EMMC_D0
G29	UCIE_EW_RXDATA_M0[13]	U39	VSS

引脚编号	引脚名称	引脚编号	引脚名称
G30	VSS_UCIE	U40	VSS
G31	UCIE_EW_RXDATA_M0[4]	V21	VSS
G32	UCIE_EW_RXDATA_M0[0]	V22	AVDD18_PLL567
G33	VSS	V23	AVDD08_PLL567
G34	PRI_TCK	V24	VCC_SYS
G35	VCXO_EN	V25	VSS
G38	PWR_SDA	V26	VCC_SYS
G39	RESET_IN_N	V27	VSS
G40	PWR_SSP_FRM	V28	VCC_SYS
H21	AVDD33_B_USB20	V29	VSS
H22	AVSS_PCIEUSB	V30	VCC_SYS
H23	AVSS_PCIEUSB	V31	VSS
H24	VSS_UCIE	V32	VCC18_GPIO3
H25	UCIE_EW_ATEST	V33	VCC18_GPIO3
H26	UCIE_BGR_EAREFCLKN	V34	VSS
H27	UCIE_VDD_0V8	V35	VSS
H28	UCIE_EW_VCTRL_EXT	V36	MIPI_CSI2_D3N
H29	VSS_UCIE	V37	MIPI_CSI2_D3P
H30	VSS_UCIE	V38	AVSS_MIPI012
H31	VSS_UCIE	V39	MIPI_CSI2_D2N
H32	VSS_UCIE	V40	MIPI_CSI2_D2P
H33	VSS	W21	VCC_SYS
H34	GPIO[3]_42	W22	VSS
H35	GPIO[3]_47	W23	VCC_SYS
H36	GPIO[3]_53	W24	VSS
H37	GPIO[3]_55	W25	VCC_SYS
H38	GPIO[3]_54	W26	VCC_SYS
H39	VSS	W27	VCC_SYS
H40	GPIO[3]_69	W28	VSS

引脚编号	引脚名称	引脚编号	引脚名称
J21	AVDD08_PCIE0	W29	VCC_SYS
J22	AVSS_PCIEUSB	W30	VSS
J23	AVSS_PCIEUSB	W31	VCC_SYS
J24	UCIE_VCCAON_0V8	W32	AVDD08_EMMC
J25	UCIE_VCCAON_0V8	W33	AVDD08_EMMC
J26	UCIE_BGR_EAREFCLKP	W34	VSS
J27	UCIE_VDD_0V8	W35	VSS
J28	VSS_UCIE	W36	AVSS_MIPI012
J29	UCIE_VCCIO_0V8	W37	AVSS_MIPI012
J30	VSS_UCIE	W38	MIPI_CSI3_CLKN
J31	VSS_UCIE	W39	MIPI_CSI3_CLKP
J32	XI_PAD	W40	AVSS_MIPI012
J33	AVSS_OSCPLL234567	Y21	VSS
J34	GPIO[3]_43	Y22	VCC_SYS
J35	GPIO[3]_48	Y23	VSS
J36	VSS	Y24	VCC_SYS
J37	GPIO[3]_56	Y25	VCC_SYS
J38	GPIO[3]_59	Y26	VCC_SYS
J39	GPIO[3]_64	Y27	VSS
J40	GPIO[3]_70	Y28	VCC_SYS
K21	AVDD08_PCIE0	Y29	VSS
K22	AVDD08_USB20_HOST	Y30	VCC_SYS
K23	AVSS_PCIEUSB	Y31	VSS
K24	AVSS_PCIEUSB	Y32	VCC18_EMMC
K25	UCIE_VCCAON_0V8	Y33	VCC18_EMMC
K26	UCIE_VCCPLL_1P2V	Y34	VSS
K27	VSS_UCIE	Y35	VSS
K28	UCIE_VCCIO_0V8	Y36	MIPI_CSI2_D1P
K29	UCIE_VCCIO_0V8	Y37	MIPI_CSI2_D1N

引脚编号	引脚名称	引脚编号	引脚名称
K30	UCIE_VCCIO_0V8	Y38	AVSS_MIPi012
K31	VSS_UCIE	Y39	MIPI_CSI2_D0P
K32	XO_PAD	Y40	MIPI_CSI2_D0N
K33	AVSS_OSCPLL234567		
K34	GPIO[3]_44		
K35	GPIO[3]_49		
K38	VSS		
K39	GPIO[3]_65		
K40	GPIO[3]_71		
L21	AVDD08_PCIE0		
L22	AVDD08_B_USB20		
L23	AVSS_PCIEUSB		
L24	AVSS_PCIEUSB		
L25	UCIE_VDDBH_0V9		

4.1.3. (AA~AY, 1~20)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
AA	DDR0_DQ_B_15	VSS	VSS	DDR0_ATO	DDR0_PWR_OK	DDR0_DTO	VSS	VDDQ_DDR	VSS	VDD0V8_D_DR	VSS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS
AB	DDR0_DQ_B_13	DDR0_DQ_B_14	VSS	DDR0_DQ_B_02	DDR0_DQ_B_00	VSS	DDR0_CA_B_00	VDDQ_DDR	VDD0V8_D_DR	VSS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS
AC	DDR0_DMI1_B	DDR0_DQ_B_12	VSS	DDR0_DQ_B_03	DDR0_DQ_B_01	VSS	DDR0_CA_B_01	VDDQ_DDR	VSS	VDD0V8_D_DR	VSS	VSS	VCC_SYS	VSS	VCC_CPUX	VSS	VCC_CPUX	VSS	VCC_CPUX	VSS
AD	DDR0_DQS_1_C_B	DDR0_DQS_1_T_B	VSS	DDR0_WCK_T_B_0	DDR0_WCK_C_B_0	VSS	DDR0_CKE0_B	VDDQ_DDR	VDD0V8_D_DR	VSS	VSS	VSS	VSS	VCC_SYS	VSS	VCC_CPUX	VSS	VCC_CPUX	VSS	VCC_CPUX
AE	DDR0_WCK_T_B_1	DDR0_WCK_C_B_1	VSS	VSS	VSS	VSS	DDR0_CA_B_02	VDDQ_DDR	VSS	VDD0V8_D_DR	VSS	VSS	VCC_SYS	VSS	VCC_CPUX	VSS	VCC_CPUX	VSS	VCC_CPUX	VSS
AF	DDR0_DQ_B_09	DDR0_DQ_B_11	VSS	DDR0_DQS_0_C_B	DDR0_DQS_0_T_B	VSS	DDR0_CKE1_B	VDDQ_DDR	VDD0V8_D_DR	VSS	VSS	VSS	VSS	VCC_SYS	VSS	VCC_CPUX	VSS	VCC_CPUX	VSS	VCC_CPUX
AG	DDR0_DQ_B_08	DDR0_DQ_B_10	VSS	DDR0_DMI0_B	DDR0_DQ_B_04	VSS	DDR0_CS0_B_CA06	VDDQ_DDR	VSS	VDD0V8_D_DR	AVDD08_PL_L_DDRO	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS
AH	VSS	VSS	VSS	DDR0_DQ_B_06	DDR0_DQ_B_05	VSS	DDR0_CA_B_05	VDD0V8_D_DR	VSS	AVDD18_PL_L_DDRO	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS
AJ	DDR0_CK_C_B	DDR0_CK_T_B	VSS	DDR0_DQ_B_07	DDR0_CA_B_04	VSS	DDR0_CA_B_03	VSS	VSS	AVDD08_PL_L1	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	DVDD08_ED_P1	DVDD08_ED_P1	VCC_SYS	VSS
AK	DDR0_CK_C_A	DDR0_CK_T_A	VSS	DDR0_CS0_A_CA06	DDR0_CA_A_03	VSS	DDR0_CS1_B	VSS	AVDD18_PL_L1	AVSS_PLL1	VSS	VCC_SYS	VSS	VSS	VSS	VCC_SYS	AVSS_EDP1	VCC_SYS	VSS	VCC_SYS
AL	VSS	VSS	VSS	VSS	VSS	VSS	DDR0_CA_A_05	VSS	VSS	AVSS_PLL1	AVDD18_D_RD_USB	VSS	VSS	AVSS_DRD	AVDD18_ED_P1	AVDD18_ED_P1	AVSS_EDP1	VCC_SYS	VCC1833_Q_SPI	VCC1833_S_D
AM	DDR0_DQ_A_05	VSS	VSS	DDR0_CA_A_04	VSS	VSS	DDR0_CA_A_02	VSS	AVDD08_D_RD_USB	VSS	AVDD18_D_RD_USB	VSS	AVSS_DRD	AVSS_DRD	VCC12_UFS	AVSS_UFS	AVSS_EDP1	AVSS_EDP1	VSS	VCC18_QSP_I_CAP
AN	DDR0_DQ_A_06	DDR0_DQ_A_07	VSS	VSS	VSS	VSS	DDR0_CA_A_01	VSS	AVDD08_D_RD_USB	VDD08_UFS	AVDD18_D_RD_USB	VSS	AVDD33_D_RD_USB	AVSS_DRD	VCC12_UFS	AVSS_UFS	AVSS_EDP1	AVSS_EDP1	VSS	VCC1833_G_PIO5
AP	DDR0_DQ_A_04	DDR0_DMI0_A	VSS	DDR0_DQ_A_14	DDR0_DQ_A_15	VSS	DDR0_CA_A_00	VSS	AVDD08_D_RD_USB	VDD08_UFS	VSS	AVDD18_D_RD_USB	AVDD33_D_RD_USB	AVDD18_UFS	AVSS_UFS	AVSS_UFS	EDP1_EXTR	AVSS_EDP1	VSS	VCC1833_G_PIO5
AR	DDR0_WCK_T_A_0	DDR0_WCK_C_A_0	VSS	DDR0_DQ_A_12	DDR0_DQ_A_13	VSS	DDR0_CKE0_A	VSS	AVDD08_D_RD_USB	AVDD08_D_RD_USB	AVSS_DRD	AVSS_DRD	AVSS_DRD	AVDD18_UFS	AVSS_UFS	AVSS_EDP1	UFS_REF_CLK	AVSS_EDP1	QSPL_CLK	QSPL_DAT3
AT	DDR0_DQS_0_C_A	DDR0_DQS_0_T_A	VSS	DDR0_DQS_1_C_A	DDR0_DQS_1_T_A	VSS	DDR0_CKE1_A	VSS	AVDD08_D_RD_USB	USB_PORTA_ADTEST	AVSS_DRD	USB30_A_D_RD0_RXN	AVSS_DRD	USB20_A_D_RD0_USB_P	AVSS_UFS	UFS_TXDON	AVSS_EDP1	EDP1_TX0N	VSS	QSPL_CS0
AU	DDR0_DQ_A_02	DDR0_DQ_A_01	VSS	VSS	VSS	VSS	DDR0_CS1_A	VSS	VSS	AVSS_DRD	AVSS_DRD	USB30_A_D_RD0_RXP	AVSS_DRD	USB20_A_D_RD0_USB_M	AVSS_UFS	UFS_TXDOP	AVSS_EDP1	EDP1_TX0P	VSS	QSPL_DAT1
AV	DDR0_DQ_A_00	DDR0_DQ_A_03	VSS	DDR0_WCK_T_A_1	DDR0_WCK_C_A_1	VSS	DDR0_ZN	VSS	VSS	AVSS_DRD	USB30_A_D_RD1_RXP	AVSS_DRD	UFS_RST_N	AVSS_UFS	UFS_TXD1N	AVSS_UFS	EDP1_AUXP	AVSS_EDP1	EDP1_TX2P	VSS
AW	VSS	VSS	VSS	DDR0_DQ_A_11	DDR0_DQ_A_09	VSS	DDR0_RESE_T_N	VSS	AVSS_DRD	USB30_A_D_RD0_TXP	USB30_A_D_RD1_RXN	USB30_A_D_RD1_TXN	AVSS_UFS	UFS_RXD1P	UFS_TXD1P	UFS_RXDON	EDP1_AUXN	EDP1_TX1N	EDP1_TX2N	EDP1_TX3N
AY		VSS	DDR0_DMI1_A	DDR0_DQ_A_10	DDR0_DQ_A_08	VSS	VSS	VSS	AVSS_DRD	USB30_A_D_RD0_TXN	AVSS_DRD	USB30_A_D_RD1_TXP	AVSS_UFS	UFS_RXD1N	AVSS_UFS	UFS_RXDOP	AVSS_EDP1	EDP1_TX1P	AVSS_EDP1	EDP1_TX3P

引脚编号	引脚名称	引脚编号	引脚名称
AA1	DDR0_DQ_B_15	AL1	VSS
AA2	VSS	AL2	VSS
AA3	VSS	AL3	VSS
AA4	DDR0_ATO	AL4	VSS
AA5	DDR0_PWROK	AL5	VSS
AA6	DDR0_DTO	AL6	VSS
AA7	VSS	AL7	DDR0_CA_A_05
AA8	VDDQ_DDR	AL8	VSS
AA9	VSS	AL9	VSS

引脚编号	引脚名称	引脚编号	引脚名称
AA10	VDD0V8_DDR	AL10	AVSS_PLL1
AA11	VSS	AL11	AVDD18_DRD_USB
AA12	VSS	AL12	VSS
AA13	VCC_SYS	AL13	VSS
AA14	VSS	AL14	AVSS_DRD
AA15	VCC_SYS	AL15	AVDD18_EDP1
AA16	VSS	AL16	AVDD18_EDP1
AA17	VCC_SYS	AL17	AVSS_EDP1
AA18	VSS	AL18	VCC_SYS
AA19	VCC_SYS	AL19	VCC1833_QSPI
AA20	VSS	AL20	VCC1833_SD
AB1	DDR0_DQ_B_13	AM1	DDR0_DQ_A_05
AB2	DDR0_DQ_B_14	AM2	VSS
AB3	VSS	AM3	VSS
AB4	DDR0_DQ_B_02	AM4	DDR0_CA_A_04
AB5	DDR0_DQ_B_00	AM5	VSS
AB6	VSS	AM6	VSS
AB7	DDR0_CA_B_00	AM7	DDR0_CA_A_02
AB8	VDDQ_DDR	AM8	VSS
AB9	VDD0V8_DDR	AM9	AVDD08_DRD_USB
AB10	VSS	AM10	VSS
AB11	VSS	AM11	AVDD18_DRD_USB
AB12	VCC_SYS	AM12	VSS
AB13	VSS	AM13	AVSS_DRD
AB14	VCC_SYS	AM14	AVSS_DRD
AB15	VSS	AM15	VCC12_UFS
AB16	VCC_SYS	AM16	AVSS_UFS
AB17	VSS	AM17	AVSS_EDP1
AB18	VCC_SYS	AM18	AVSS_EDP1

引脚编号	引脚名称	引脚编号	引脚名称
AB19	VSS	AM19	VSS
AB20	VCC_SYS	AM20	VCC18_QSPI_CAP
AC1	DDR0_DMI1_B	AN1	DDR0_DQ_A_06
AC2	DDR0_DQ_B_12	AN2	DDR0_DQ_A_07
AC3	VSS	AN3	VSS
AC4	DDR0_DQ_B_03	AN4	VSS
AC5	DDR0_DQ_B_01	AN5	VSS
AC6	VSS	AN6	VSS
AC7	DDR0_CA_B_01	AN7	DDR0_CA_A_01
AC8	VDDQ_DDR	AN8	VSS
AC9	VSS	AN9	AVDD08_DRD_USB
AC10	VDD0V8_DDR	AN10	VDD08_UFS
AC11	VSS	AN11	AVDD18_DRD_USB
AC12	VSS	AN12	VSS
AC13	VCC_SYS	AN13	AVDD33_DRD_USB
AC14	VSS	AN14	AVSS_DRD
AC15	VCC_CPUX	AN15	VCC12_UFS
AC16	VSS	AN16	AVSS_UFS
AC17	VCC_CPUX	AN17	AVSS_EDP1
AC18	VSS	AN18	AVSS_EDP1
AC19	VCC_CPUX	AN19	VSS
AC20	VSS	AN20	VCC1833_GPIO5
AD1	DDR0_DQS1_C_B	AP1	DDR0_DQ_A_04
AD2	DDR0_DQS1_T_B	AP2	DDR0_DMI0_A
AD3	VSS	AP3	VSS
AD4	DDR0_WCK_T_B_0	AP4	DDR0_DQ_A_14
AD5	DDR0_WCK_C_B_0	AP5	DDR0_DQ_A_15
AD6	VSS	AP6	VSS
AD7	DDR0_CKE0_B	AP7	DDR0_CA_A_00

引脚编号	引脚名称	引脚编号	引脚名称
AD8	VDDQ_DDR	AP8	VSS
AD9	VDD0V8_DDR	AP9	AVDD08_DRD_USB
AD10	VSS	AP10	VDD08_UFS
AD11	VSS	AP11	VSS
AD12	VSS	AP12	AVDD18_DRD_USB
AD13	VSS	AP13	AVDD33_DRD_USB
AD14	VCC_SYS	AP14	AVDD18_UFS
AD15	VSS	AP15	AVSS_UFS
AD16	VCC_CPUX	AP16	AVSS_UFS
AD17	VSS	AP17	EDP1_EXTR
AD18	VCC_CPUX	AP18	AVSS_EDP1
AD19	VSS	AP19	VSS
AD20	VCC_CPUX	AP20	VCC1833_GPIO5
AE1	DDR0_WCK_T_B_1	AR1	DDR0_WCK_T_A_0
AE2	DDR0_WCK_C_B_1	AR2	DDR0_WCK_C_A_0
AE3	VSS	AR3	VSS
AE4	VSS	AR4	DDR0_DQ_A_12
AE5	VSS	AR5	DDR0_DQ_A_13
AE6	VSS	AR6	VSS
AE7	DDR0_CA_B_02	AR7	DDR0_CKE0_A
AE8	VDDQ_DDR	AR8	VSS
AE9	VSS	AR9	AVDD08_DRD_USB
AE10	VDD0V8_DDR	AR10	AVDD08_DRD_USB
AE11	VSS	AR11	AVSS_DRD
AE12	VSS	AR12	AVSS_DRD
AE13	VCC_SYS	AR13	AVSS_DRD
AE14	VSS	AR14	AVDD18_UFS
AE15	VCC_CPUX	AR15	AVSS_UFS
AE16	VSS	AR16	AVSS_EDP1

引脚编号	引脚名称	引脚编号	引脚名称
AE17	VCC_CPUX	AR17	UFS_REF_CLK
AE18	VSS	AR18	AVSS_EDP1
AE19	VCC_CPUX	AR19	QSPI_CLK
AE20	VSS	AR20	QSPI_DAT3
AF1	DDR0_DQ_B_09	AT1	DDR0_DQS0_C_A
AF2	DDR0_DQ_B_11	AT2	DDR0_DQS0_T_A
AF3	VSS	AT3	VSS
AF4	DDR0_DQS0_C_B	AT4	DDR0_DQS1_C_A
AF5	DDR0_DQS0_T_B	AT5	DDR0_DQS1_T_A
AF6	VSS	AT6	VSS
AF7	DDR0_CKE1_B	AT7	DDR0_CKE1_A
AF8	VDDQ_DDR	AT8	VSS
AF9	VDD0V8_DDR	AT9	AVDD08_DRD_USB
AF10	VSS	AT10	USB_PORTA_ADTEST
AF11	VSS	AT11	AVSS_DRD
AF12	VSS	AT12	USB30_A_DRD0_RXN
AF13	VSS	AT13	AVSS_DRD
AF14	VCC_SYS	AT14	USB20_A_DRD_USB_P
AF15	VSS	AT15	AVSS_UFS
AF16	VCC_CPUX	AT16	UFS_TXD0N
AF17	VSS	AT17	AVSS_EDP1
AF18	VCC_CPUX	AT18	EDP1_TX0N
AF19	VSS	AT19	VSS
AF20	VCC_CPUX	AT20	QSPI_CS0
AG1	DDR0_DQ_B_08	AU1	DDR0_DQ_A_02
AG2	DDR0_DQ_B_10	AU2	DDR0_DQ_A_01
AG3	VSS	AU3	VSS
AG4	DDR0_DMI0_B	AU4	VSS
AG5	DDR0_DQ_B_04	AU5	VSS

引脚编号	引脚名称	引脚编号	引脚名称
AG6	VSS	AU6	VSS
AG7	DDR0_CS0_B_CA06	AU7	DDR0_CS1_A
AG8	VDDQ_DDR	AU8	VSS
AG9	VSS	AU9	VSS
AG10	VDD0V8_DDR	AU10	AVSS_DRD
AG11	AVDD08_PLL_DDR0	AU11	AVSS_DRD
AG12	VSS	AU12	USB30_A_DRD0_RXP
AG13	VCC_SYS	AU13	AVSS_DRD
AG14	VSS	AU14	USB20_A_DRD_USB_M
AG15	VCC_SYS	AU15	AVSS_UFS
AG16	VSS	AU16	UFS_TXD0P
AG17	VCC_SYS	AU17	AVSS_EDP1
AG18	VSS	AU18	EDP1_TX0P
AG19	VCC_SYS	AU19	VSS
AG20	VSS	AU20	QSPI_DAT1
AH1	VSS	AV1	DDR0_DQ_A_00
AH2	VSS	AV2	DDR0_DQ_A_03
AH3	VSS	AV3	VSS
AH4	DDR0_DQ_B_06	AV4	DDR0_WCK_T_A_1
AH5	DDR0_DQ_B_05	AV5	DDR0_WCK_C_A_1
AH6	VSS	AV6	VSS
AH7	DDR0_CA_B_05	AV7	DDR0_ZN
AH8	VSS	AV8	VSS
AH9	VDD0V8_DDR	AV9	VSS
AH10	VSS	AV10	AVSS_DRD
AH11	AVDD18_PLL_DDR0	AV11	USB30_A_DRD1_RXP
AH12	VCC_SYS	AV12	AVSS_DRD
AH13	VSS	AV13	UFS_RST_N
AH14	VCC_SYS	AV14	AVSS_UFS

引脚编号	引脚名称	引脚编号	引脚名称
AH15	VSS	AV15	UFS_TXD1N
AH16	VCC_SYS	AV16	AVSS_UFS
AH17	VSS	AV17	EDP1_AUXP
AH18	VCC_SYS	AV18	AVSS_EDP1
AH19	VSS	AV19	EDP1_TX2P
AH20	VCC_SYS	AV20	VSS
AJ1	DDR0_CKC_B	AW1	VSS
AJ2	DDR0_CKT_B	AW2	VSS
AJ3	VSS	AW3	VSS
AJ4	DDR0_DQ_B_07	AW4	DDR0_DQ_A_11
AJ5	DDR0_CA_B_04	AW5	DDR0_DQ_A_09
AJ6	VSS	AW6	VSS
AJ7	DDR0_CA_B_03	AW7	DDR0_RESET_N
AJ8	VSS	AW8	VSS
AJ9	VSS	AW9	AVSS_DRD
AJ10	AVDD08_PLL1	AW10	USB30_A_DRD0_TXP
AJ11	VCC_SYS	AW11	USB30_A_DRD1_RXN
AJ12	VSS	AW12	USB30_A_DRD1_TXN
AJ13	VCC_SYS	AW13	AVSS_UFS
AJ14	VSS	AW14	UFS_RXD1P
AJ15	VCC_SYS	AW15	UFS_TXD1P
AJ16	VSS	AW16	UFS_RXD0N
AJ17	DVDD08_EDP1	AW17	EDP1_AUXN
AJ18	DVDD08_EDP1	AW18	EDP1_TX1N
AJ19	VCC_SYS	AW19	EDP1_TX2N
AJ20	VSS	AW20	EDP1_TX3N
AK1	DDR0_CKC_A	AY2	VSS
AK2	DDR0_CKT_A	AY3	DDR0_DMI1_A
AK3	VSS	AY4	DDR0_DQ_A_10

引脚编号	引脚名称	引脚编号	引脚名称
AK4	DDR0_CS0_A_CA06	AY5	DDR0_DQ_A_08
AK5	DDR0_CA_A_03	AY6	VSS
AK6	VSS	AY7	VSS
AK7	DDR0_CS1_B	AY8	VSS
AK8	VSS	AY9	AVSS_DRD
AK9	AVDD18_PLL1	AY10	USB30_A_DRD0_TXN
AK10	AVSS_PLL1	AY11	AVSS_DRD
AK11	VSS	AY12	USB30_A_DRD1_TXP
AK12	VCC_SYS	AY13	AVSS_UFS
AK13	VSS	AY14	UFS_RXD1N
AK14	VSS	AY15	AVSS_UFS
AK15	VSS	AY16	UFS_RXD0P
AK16	VCC_SYS	AY17	AVSS_EDP1
AK17	AVSS_EDP1	AY18	EDP1_TX1P
AK18	VCC_SYS	AY19	AVSS_EDP1
AK19	VSS	AY20	EDP1_TX3P
AK20	VCC_SYS		

4.1.4. (AA~AY, 21~40)

21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	
VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	AVDD08_DS I	AVDD08_DS I	VSS	VSS	VSS	VSS	AVSS_MPIO 12	AVSS_MPIO 12	MIPL_CS11_D 2N	MIPL_CS11_D 2P	AVSS_MPIO 12	AA
VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	AVDD08_CS I2	AVDD08_CS I2	VSS	MIPL_CS12_C LKN	MIPL_CS12_C LKP	AVSS_MPIO 12	MIPL_CS11_D 3N	MIPL_CS11_D 3P	AVSS_MPIO 12	MIPL_CS11_C LKN	MIPL_CS11_C LKP	AB
VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	VSS	AVSS_MPIO 12	AVSS_MPIO 12	AVSS_MPIO 12	AVSS_MPIO 12	AVSS_MPIO 12	AVSS_MPIO 12	AVSS_MPIO 12	MIPL_CS11_D 1P	MIPL_CS11_D 1N	AVSS_MPIO 12	AC
VSS	VCC_CPUX	VSS	VCC_CPUX	VSS	VCC_CPUX	VSS	VCC_SYS	VSS	AVDD08_CS I0	AVDD08_CS I0	AVDD08_CS I1	AVDD08_CS I1	AVSS_MPIO 12	AVSS_MPIO 12	MIPL_CS11_D 0P	MIPL_CS11_D 0N	AVSS_MPIO 12	MIPL_CS10_D 3N	MIPL_CS10_D 3P	AD
VCC_CPUX	VSS	VCC_CPUX	VSS	VCC_CPUX	VSS	VCC_CPUX	VSS	VCC_SYS	VSS	AVSS_MPIO 12	AVSS_MPIO 12	AVSS_MPIO 12	AVSS_MPIO 12	AVSS_MPIO 12	AVSS_MPIO 12	AVSS_MPIO 12	MIPL_CS10_D 2N	MIPL_CS10_D 2P	AVSS_MPIO 12	AE
VSS	VCC_CPUX	VSS			VCC_CPUX	VSS	VCC_SYS	VSS	AVDD18_DS I1	AVDD18_DS I1	AVDD18_CS I2	AVDD18_CS I2	AVSS_MPIO 12	AVSS_MPIO 12	MIPL_CS10_C LKN	MIPL_CS10_C LKP	AVSS_MPIO 12	MIPL_CS10_D 1N	MIPL_CS10_D 1P	AF
VCC_CPUX	VSS	VCC_CPUX			VSS	VCC_CPUX	VSS	VCC_SYS	AVSS_DSI	AVSS_DSI	AVSS_DSI	AVSS_DSI	AVSS_MPIO 12	AVSS_MPIO 12	AVSS_MPIO 12	AVSS_MPIO 12	MIPL_CS10_D 0P	MIPL_CS10_D 0N	AVSS_MPIO 12	AG
VSS	VCC_CPUX	VSS	VCC_CPUX	VSS	VCC_CPUX	VSS	VCC_SYS	VSS	AVDD12_DS I	AVDD18_DS I0	AVDD18_CS I0	AVSS_DSI	AVSS_DSI	AVSS_DSI	MIPL_DS10_D 2P	MIPL_DS10_D 2N	AVSS_DSI	MIPL_DS10_D 1N	MIPL_DS10_D 1P	AH
VCC_SYS	VSS	VCC_CPUX	VSS	VCC_CPUX	VSS	DVDD08_ED P0	DVDD08_ED P0	VCC_SYS	AVDD12_DS I	AVDD18_DS I	VSS	AVSS_DSI	AVSS_DSI	AVSS_DSI	AVSS_DSI	AVSS_DSI	MIPL_DS10_C LKN	MIPL_DS10_C LKP	AVSS_DSI	AJ
VSS	VCC_SYS	VSS	VCC_SYS	VSS	VCC_SYS	AVSS_EDP0	VCC_SYS	AVSS_EDP0	VSS	AVDD18_DS I	VSS	MIPL_DS10_D 0P	MIPL_DS10_D 0N	AVSS_DSI	MIPL_DS10_D 3P	MIPL_DS10_D 3N	AVSS_DSI	MIPL_DS11_D 2N	MIPL_DS11_D 2P	AK
VCC18_SD_ CAP	VCC18_GPIO5	VSS	VCC18_GPI O1	VCC18_GPI O4	VCC18_GPI O4	VSS	VCC_SYS	VSS	VCC_SYS	VSS	AVDD18_ED P0	VSS	VSS	VSS	AVSS_DSI	AVSS_DSI	MIPL_DS11_C LKN	MIPL_DS11_C LKP	AVSS_DSI	AL
VCC18_SD_ CAP	VCC18_GPIO5	VSS	VCC18_GPI O1	VSS	VCC1833_G PIO4	VCC1833_G PIO1	VSS	VSS	VCC_SYS	VSS	AVDD18_ED P0	MIPL_DS11_D 1P	MIPL_DS11_D 1N	VSS	MIPL_DS11_D 3P	MIPL_DS11_D 3N	AVSS_DSI	MIPL_DS11_D 0P	MIPL_DS11_D 0N	AM
VSS	VSS	VSS	VSS	VSS	VCC1833_G PIO4	VCC1833_G PIO1	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	EDP0_EXTR	AVSS_EDP0	EDP0_AUXN	EDP0_AUXP	AVSS_EDP0	AN
QSPL_DAT2	VSS	VSS	GPIO[5]_11 9	GPIO[5]_11 4	GPIO[5]_10 8	GPIO[5]_10 6	VSS	GPIO[1]_20	GPIO[1]_16	GPIO[1]_06	GPIO[1]_05	VSS	GPIO[4]_79	GPIO[4]_78	VSS	AVSS_EDP0	AVSS_EDP0	EDP0_TX3P	EDP0_TX3N	AP
QSPL_CS1	VSS	VSS	GPIO[5]_12 0	VSS	GPIO[5]_10 9	GPIO[5]_10 5	GPIO[5]_99	GPIO[1]_19	VSS	GPIO[1]_07	GPIO[1]_04	GPIO[4]_76	GPIO[4]_80	VSS	VSS	AVSS_EDP0	EDP0_TX2P	EDP0_TX2N	AVSS_EDP0	AR
QSPL_DAT0	VSS	GPIO[5]_12 4	GPIO[5]_12 1	GPIO[5]_11 5	GPIO[5]_11 0	VSS	GPIO[5]_10 0	GPIO[1]_18	GPIO[1]_13	GPIO[1]_08	VSS	GPIO[4]_77	GPIO[4]_81	GPIO[4]_86	GPIO[4]_90	AVSS_EDP0	AVSS_EDP0	EDP0_TX1P	EDP0_TX1N	AT
MMC1_DAT 2	MMC1_DAT1	GPIO[5]_12 5		GPIO[5]_11 6	GPIO[5]_11 1		GPIO[5]_10 1	VSS		GPIO[1]_09	GPIO[1]_03		VSS	GPIO[4]_87		VSS	EDP0_TX0P	EDP0_TX0N	AVSS_EDP0	AU
MMC1_CLK	MMC1_DAT0	GPIO[5]_12 6		GPIO[5]_11 7	VSS		GPIO[5]_10 2	GPIO[1]_17		VSS	GPIO[1]_02		GPIO[4]_82	GPIO[4]_88		VSS	VSS	GPIO[4]_96	GPIO[4]_98	AV
VSS	MMC1_CMD	VSS	GPIO[5]_12 2	GPIO[5]_11 8	GPIO[5]_11 2	GPIO[5]_10 4	VSS	GPIO[1]_14	GPIO[1]_12	GPIO[1]_10	GPIO[1]_01	VSS	GPIO[4]_83	GPIO[4]_89	GPIO[4]_91	GPIO[4]_93	GPIO[4]_95	GPIO[4]_97	VSS	AW
VSS	MMC1_DAT3	GPIO[5]_12 7	GPIO[5]_12 3	VSS	GPIO[5]_11 3	GPIO[5]_10 7	GPIO[5]_10 3	GPIO[1]_15	VSS	GPIO[1]_11	GPIO[1]_00	GPIO[4]_85	GPIO[4]_84	VSS	GPIO[4]_92	GPIO[4]_94	VSS	VSS	VSS	AY

引脚编号	引脚名称	引脚编号	引脚名称
AA21	VCC_SYS	AL21	VCC18_SD_CAP
AA22	VSS	AL22	VCC18_GPIO5
AA23	VCC_SYS	AL23	VSS
AA24	VSS	AL24	VCC18_GPIO1
AA25	VCC_SYS	AL25	VCC18_GPIO4
AA26	VSS	AL26	VCC18_GPIO4
AA27	VCC_SYS	AL27	VSS
AA28	VSS	AL28	VCC_SYS
AA29	VCC_SYS	AL29	VSS
AA30	AVDD08_DSI	AL30	VCC_SYS

引脚编号	引脚名称	引脚编号	引脚名称
AA31	AVDD08_DSI	AL31	VSS
AA32	VSS	AL32	AVDD18_EDP0
AA33	VSS	AL33	VSS
AA34	VSS	AL34	VSS
AA35	VSS	AL35	VSS
AA36	AVSS_MIP1012	AL36	AVSS_DSI
AA37	AVSS_MIP1012	AL37	AVSS_DSI
AA38	MIPI_CSI1_D2N	AL38	MIPI_DSI1_CLKN
AA39	MIPI_CSI1_D2P	AL39	MIPI_DSI1_CLKP
AA40	AVSS_MIP1012	AL40	AVSS_DSI
AB21	VSS	AM21	VCC18_SD_CAP
AB22	VCC_SYS	AM22	VCC18_GPIO5
AB23	VSS	AM23	VSS
AB24	VCC_SYS	AM24	VCC18_GPIO1
AB25	VSS	AM25	VSS
AB26	VCC_SYS	AM26	VCC1833_GPIO4
AB27	VSS	AM27	VCC1833_GPIO1
AB28	VCC_SYS	AM28	VSS
AB29	VSS	AM29	VSS
AB30	AVDD08_CSI2	AM30	VCC_SYS
AB31	AVDD08_CSI2	AM31	VSS
AB32	VSS	AM32	AVDD18_EDP0
AB33	MIPI_CSI2_CLKN	AM33	MIPI_DSI1_D1P
AB34	MIPI_CSI2_CLKP	AM34	MIPI_DSI1_D1N
AB35	AVSS_MIP1012	AM35	VSS
AB36	MIPI_CSI1_D3N	AM36	MIPI_DSI1_D3P
AB37	MIPI_CSI1_D3P	AM37	MIPI_DSI1_D3N
AB38	AVSS_MIP1012	AM38	AVSS_DSI
AB39	MIPI_CSI1_CLKN	AM39	MIPI_DSI1_D0P

引脚编号	引脚名称	引脚编号	引脚名称
AB40	MIPI_CSI1_CLKP	AM40	MIPI_DSI1_D0N
AC21	VCC_SYS	AN21	VSS
AC22	VSS	AN22	VSS
AC23	VCC_SYS	AN23	VSS
AC24	VSS	AN24	VSS
AC25	VCC_SYS	AN25	VSS
AC26	VSS	AN26	VCC1833_GPIO4
AC27	VCC_SYS	AN27	VCC1833_GPIO1
AC28	VSS	AN28	VSS
AC29	VCC_SYS	AN29	VSS
AC30	VSS	AN30	VSS
AC31	AVSS_MIPI012	AN31	VSS
AC32	AVSS_MIPI012	AN32	VSS
AC33	AVSS_MIPI012	AN33	VSS
AC34	AVSS_MIPI012	AN34	VSS
AC35	AVSS_MIPI012	AN35	VSS
AC36	AVSS_MIPI012	AN36	EDP0_EXTR
AC37	AVSS_MIPI012	AN37	AVSS_EDP0
AC38	MIPI_CSI1_D1P	AN38	EDP0_AUXN
AC39	MIPI_CSI1_D1N	AN39	EDP0_AUXP
AC40	AVSS_MIPI012	AN40	AVSS_EDP0
AD21	VSS	AP21	QSPI_DAT2
AD22	VCC_CPUX	AP22	VSS
AD23	VSS	AP23	VSS
AD24	VCC_CPUX	AP24	GPIO[5]_119
AD25	VSS	AP25	GPIO[5]_114
AD26	VCC_CPUX	AP26	GPIO[5]_108
AD27	VSS	AP27	GPIO[5]_106
AD28	VCC_SYS	AP28	VSS

引脚编号	引脚名称	引脚编号	引脚名称
AD29	VSS	AP29	GPIO[1]_20
AD30	AVDD08_CSI0	AP30	GPIO[1]_16
AD31	AVDD08_CSI0	AP31	GPIO[1]_06
AD32	AVDD08_CSI1	AP32	GPIO[1]_05
AD33	AVDD08_CSI1	AP33	VSS
AD34	AVSS_MIP1012	AP34	GPIO[4]_79
AD35	AVSS_MIP1012	AP35	GPIO[4]_78
AD36	MIP1_CSI1_D0P	AP36	VSS
AD37	MIP1_CSI1_D0N	AP37	AVSS_EDP0
AD38	AVSS_MIP1012	AP38	AVSS_EDP0
AD39	MIP1_CSI0_D3N	AP39	EDP0_TX3P
AD40	MIP1_CSI0_D3P	AP40	EDP0_TX3N
AE21	VCC_CPUX	AR21	QSPI_CS1
AE22	VSS	AR22	VSS
AE23	VCC_CPUX	AR23	VSS
AE24	VSS	AR24	GPIO[5]_120
AE25	VCC_CPUX	AR25	VSS
AE26	VSS	AR26	GPIO[5]_109
AE27	VCC_CPUX	AR27	GPIO[5]_105
AE28	VSS	AR28	GPIO[5]_99
AE29	VCC_SYS	AR29	GPIO[1]_19
AE30	VSS	AR30	VSS
AE31	AVSS_MIP1012	AR31	GPIO[1]_07
AE32	AVSS_MIP1012	AR32	GPIO[1]_04
AE33	AVSS_MIP1012	AR33	GPIO[4]_76
AE34	AVSS_MIP1012	AR34	GPIO[4]_80
AE35	AVSS_MIP1012	AR35	VSS
AE36	AVSS_MIP1012	AR36	VSS
AE37	AVSS_MIP1012	AR37	AVSS_EDP0

引脚编号	引脚名称	引脚编号	引脚名称
AE38	MIPI_CSI0_D2N	AR38	EDP0_TX2P
AE39	MIPI_CSI0_D2P	AR39	EDP0_TX2N
AE40	AVSS_MIP1012	AR40	AVSS_EDP0
AF21	VSS	AT21	QSPI_DAT0
AF22	VCC_CPUX	AT22	VSS
AF23	VSS	AT23	GPIO[5]_124
AF26	VCC_CPUX	AT24	GPIO[5]_121
AF27	VSS	AT25	GPIO[5]_115
AF28	VCC_SYS	AT26	GPIO[5]_110
AF29	VSS	AT27	VSS
AF30	AVDD18_CSI1	AT28	GPIO[5]_100
AF31	AVDD18_CSI1	AT29	GPIO[1]_18
AF32	AVDD18_CSI2	AT30	GPIO[1]_13
AF33	AVDD18_CSI2	AT31	GPIO[1]_08
AF34	AVSS_MIP1012	AT32	VSS
AF35	AVSS_MIP1012	AT33	GPIO[4]_77
AF36	MIPI_CSI0_CLKN	AT34	GPIO[4]_81
AF37	MIPI_CSI0_CLKP	AT35	GPIO[4]_86
AF38	AVSS_MIP1012	AT36	GPIO[4]_90
AF39	MIPI_CSI0_D1P	AT37	AVSS_EDP0
AF40	MIPI_CSI0_D1N	AT38	AVSS_EDP0
AG21	VCC_CPUX	AT39	EDP0_TX1P
AG22	VSS	AT40	EDP0_TX1N
AG23	VCC_CPUX	AU21	MMC1_DAT2
AG26	VSS	AU22	MMC1_DAT1
AG27	VCC_CPUX	AU23	GPIO[5]_125
AG28	VSS	AU25	GPIO[5]_116
AG29	VCC_SYS	AU26	GPIO[5]_111
AG30	AVSS_DSI	AU28	GPIO[5]_101

引脚编号	引脚名称	引脚编号	引脚名称
AG31	AVSS_DSI	AU29	VSS
AG32	AVSS_DSI	AU31	GPIO[1]_09
AG33	AVSS_DSI	AU32	GPIO[1]_03
AG34	AVSS_MIP1012	AU34	VSS
AG35	AVSS_MIP1012	AU35	GPIO[4]_87
AG36	AVSS_MIP1012	AU37	VSS
AG37	AVSS_MIP1012	AU38	EDP0_TX0P
AG38	MIPI_CSI0_D0P	AU39	EDP0_TX0N
AG39	MIPI_CSI0_D0N	AU40	AVSS_EDP0
AG40	AVSS_MIP1012	AV21	MMC1_CLK
AH21	VSS	AV22	MMC1_DAT0
AH22	VCC_CPUX	AV23	GPIO[5]_126
AH23	VSS	AV25	GPIO[5]_117
AH24	VCC_CPUX	AV26	VSS
AH25	VSS	AV28	GPIO[5]_102
AH26	VCC_CPUX	AV29	GPIO[1]_17
AH27	VSS	AV31	VSS
AH28	VCC_SYS	AV32	GPIO[1]_02
AH29	VSS	AV34	GPIO[4]_82
AH30	AVDD12_DSI	AV35	GPIO[4]_88
AH31	AVDD18_CSI0	AV37	VSS
AH32	AVDD18_CSI0	AV38	VSS
AH33	AVSS_DSI	AV39	GPIO[4]_96
AH34	AVSS_DSI	AV40	GPIO[4]_98
AH35	AVSS_DSI	AW21	VSS
AH36	MIPI_DSI0_D2P	AW22	MMC1_CMD
AH37	MIPI_DSI0_D2N	AW23	VSS
AH38	AVSS_DSI	AW24	GPIO[5]_122
AH39	MIPI_DSI0_D1N	AW25	GPIO[5]_118

引脚编号	引脚名称	引脚编号	引脚名称
AH40	MIPI_DSI0_D1P	AW26	GPIO[5]_112
AJ21	VCC_SYS	AW27	GPIO[5]_104
AJ22	VSS	AW28	VSS
AJ23	VCC_CPUX	AW29	GPIO[1]_14
AJ24	VSS	AW30	GPIO[1]_12
AJ25	VCC_CPUX	AW31	GPIO[1]_10
AJ26	VSS	AW32	GPIO[1]_01
AJ27	DVDD08_EDP0	AW33	VSS
AJ28	DVDD08_EDP0	AW34	GPIO[4]_83
AJ29	VCC_SYS	AW35	GPIO[4]_89
AJ30	AVDD12_DSI	AW36	GPIO[4]_91
AJ31	AVDD18_DSI	AW37	GPIO[4]_93
AJ32	VSS	AW38	GPIO[4]_95
AJ33	AVSS_DSI	AW39	GPIO[4]_97
AJ34	AVSS_DSI	AW40	VSS
AJ35	AVSS_DSI	AY21	VSS
AJ36	AVSS_DSI	AY22	MMC1_DAT3
AJ37	AVSS_DSI	AY23	GPIO[5]_127
AJ38	MIPI_DSI0_CLKN	AY24	GPIO[5]_123
AJ39	MIPI_DSI0_CLKP	AY25	VSS
AJ40	AVSS_DSI	AY26	GPIO[5]_113
AK21	VSS	AY27	GPIO[5]_107
AK22	VCC_SYS	AY28	GPIO[5]_103
AK23	VSS	AY29	GPIO[1]_15
AK24	VCC_SYS	AY30	VSS
AK25	VSS	AY31	GPIO[1]_11
AK26	VCC_SYS	AY32	GPIO[1]_00
AK27	AVSS_EDP0	AY33	GPIO[4]_85
AK28	VCC_SYS	AY34	GPIO[4]_84

引脚编号	引脚名称	引脚编号	引脚名称
AK29	AVSS_EDP0	AY35	VSS
AK30	VSS	AY36	GPIO[4]_92
AK31	AVDD18_DSI	AY37	GPIO[4]_94
AK32	VSS	AY38	VSS
AK33	MIPI_DSI0_D0P	AY39	VSS
AK34	MIPI_DSI0_D0N	AY40	VSS
AK35	AVSS_DSI		
AK36	MIPI_DSI0_D3P		
AK37	MIPI_DSI0_D3N		
AK38	AVSS_DSI		
AK39	MIPI_DSI1_D2N		
AK40	MIPI_DSI1_D2P		

4.2. I/O Pin Parameters

4.2.1. 1.8V I/O 引脚

电源域	符号	参数说明	最小值	典型值	最大值
1.8V 输入	Vih	输入高电平阈值	$VCC \times 0.7V$	1.8V	$VCC + 0.2V$
	Vil	输入低电平阈值	-0.3V	0V	$VCC \times 0.3V$
	Rpu	上拉电阻	55k Ω	79k Ω	121k Ω
	Rpd	下拉电阻	51k Ω	87k Ω	169k Ω
	Iil	输入漏电流 (引脚配置为输入模式)	—	—	10 μA
1.8V 输出	Voh	输出高电平电压	$VCC - 0.2V$	—	—
	Vol	输出低电平电压	—	—	0.2V
	I _{OL} DCS[1:0]= 00 01 10 11	V _{pad} = 0.2 V 时的输出灌电流能力	13mA 25mA 37mA 49mA	—	—

电源域	符号	参数说明	最小值	典型值	最大值
	loh DCS[1:0]= 00 01 10 11	Vpad = VCC - 0.2 V 时的输出拉电流能力	11mA 21mA 32mA 42mA	—	—

4.2.2. 3.3V I/O 引脚

电源域	符号	参数说明	最小值	典型值	最大值
3.3V 输入	Vih	输入高电平阈值	2V	—	VCC+0.3V
	Vil	输入低电平阈值	-0.3V	0V	0.8V
	Rpu	上拉电阻	26kΩ	47kΩ	72kΩ
	Rpd	下拉电阻	27kΩ	54kΩ	267kΩ
	Iil	输入漏电流	—	—	10μA
3.3V 输出	Voh	输出高电平电压	2.4V	—	—
	Vol	输出低电平电压	—	—	0.4V
	Iol DS[2:0]= 000 001 010 011 100 101 110 111	Vpad = 0.4 V 时的输出灌电流能力	7mA 10mA 14mA 18mA 21mA 24mA 28mA 31mA	—	—
	Ioh DS[2:0]= 000 001 010 011 100 101 110 111	Vpad = VCC - 0.5 V 时的输出拉电流能力	7mA 10mA 13mA 16mA 19mA 23mA 26mA 29mA	—	—

4.3. 多功能信号/引脚功能

K3 的 I/O 引脚支持功能 0 至 功能 7 (Function 0–7) 的信号分配。

绝大多数 K3 I/O 引脚均为多功能引脚，可通过多功能引脚寄存器 (Multi-Function Pin Registers, MFPRs) 配置为多种可用功能之一。此外，部分功能可映射至多个不同的物理引脚，提供灵活的引脚复用方案。

所有分配的信号按其功能类别 (如电源、时钟等) 进行组织，并进一步按接口类型 (如 JTAG、SPIx 等) 分组，具体说明见后续小节 (为便于查阅，各接口按字母顺序排序)。

注：信号/引脚类型符号定义如下：

- I = 输入 (Input)
- O = 输出 (Output)
- I/O = 双向输入/输出 (Input/Output)
- OD = 开漏输出 (Open-Drain)
- RO = 参考输出 (Reference Output)

4.3.1. JTAG

4.3.1.1. 主接口 (Primary)

信号/引脚		描述
名称	类型	
PRI_TCK	I	主 JTAG 接口 1 的测试时钟。用于 JTAG 测试接口上的所有数据传输。
PRI_TDI	I	主 JTAG 接口 1 的测试数据输入。用于将数据从 JTAG 调试器发送至 K3 处理器。该引脚内置上拉电阻。
PRI_TDO	O	主 JTAG 接口 1 的测试数据输出。用于将数据从 K3 处理器返回至 JTAG 调试器。
PRI_TMS	I	主 JTAG 接口 1 的测试模式选择。用于从 JTAG 调试器选择所需的测试模式。该引脚内置上拉电阻。
PRI_TRSTn	I	主 JTAG 接口 1 的测试复位信号。符合 IEEE 1149.1 标准，用于触发 JTAG 复位。
VCXO_OUT	O	24 MHz VCXO 输出时钟
VCXO_REQ	I	OCLK1 时钟请求信号

4.3.2. 杂项 (Miscellaneous)

信号/引脚		描述
名称	类型	
MPLL_TST_CK	—	PLL 测试引脚

信号/引脚		描述
名称	类型	
MN_CLK_OUT	O	分数分频 (M/N) 时钟。 由主 PMU 提供的通用 M/N 分数分频器产生的时钟信号。若需在 GPIO[122] (即 MN_CLK_OUT) 上输出 13 MHz 时钟, 必须将 `CLK_REQ` 配置为 Function 0 并拉高。
Sleep_OUT	O	PMIC 睡眠设置

4.3.3. SPIx

信号/引脚		描述
名称	类型	
SPIx_FRM	I/O	同步串行端口帧信号 0/2。串行帧同步可配置为输出 (主模式) 或输入 (从模式)。
SPIx_RXD	I	同步串行端口接收数据 0/2。串行数据在位时钟作用下锁存。
SPIx_SCLK	I/O	同步串行端口时钟 0/2。串行位时钟可配置为输出 (主模式) 或输入 (从模式)。
SPIx_TXD	O	同步串行端口发送数据 0/2。串行数据随位时钟同步驱动输出。

4.3.4. TWSI

4.3.4.1. 专用信号 (Dedicated)

信号/引脚		描述
名称	类型	
PWR_SDA	I/O	TWSI 串行数据/地址线
PWR_SCL	I/O	TWSI 串行时钟线

4.3.4.2. 通用信号 (Common)

信号/引脚		描述
名称	类型	
I ² Cx_SCL	I/O,OD	TWSIx 时钟线
I ² Cx_SDA	I/O,OD	TWSIx 数据线

4.3.5. UARTx

信号/引脚		描述
名称	类型	
UARTx_CTSn	I	UARTx 清除发送

信号/引脚		描述
名称	类型	
UARTx_RTSn	O	UARTx 请求发送
UARTx_RXD	I	UARTx 接收数据
UARTx_TXD	O	UARTx 发送数据

4.3.6. USB

信号/引脚		描述
名称	类型	
USBx_N	I/O	USB D± 差分信号 (负)
USBx_P	I/O	USB D± 差分信号 (正)
VBUS_ON	I	USB VBUS 供电检测指示

4.4. 多功能 I/O 引脚分配

通用输入/输出 (GPIO) 模块提供灵活的引脚控制与信号复用能力。每个 GPIO 引脚既可作为标准输入/输出使用，也可配置为多种备用功能 (Alternate Function) 之一，从而高效连接系统与片上外设。下表按接口分组，详细列出了 Function 0 至 Function 6 的信号分配情况。

接口组	引脚名称	默认上下拉	边沿唤醒功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
QSPI 1.8V/3.3V	QSPI_DAT3	下拉	启用	QSPI_DAT[3]	GPIO[0]	R.UART1_TXD	R.GPIO[0]			
	QSPI_DAT2	下拉	启用	QSPI_DAT[2]	GPIO[1]	R.UART1_RXD	R.GPIO[1]			
	QSPI_DAT1	下拉	启用	QSPI_DAT[1]	GPIO[2]	R.UART1_CTS	R.GPIO[2]			
	QSPI_DAT0	下拉	启用	QSPI_DAT[0]	GPIO[3]	R.UART1_RTS	R.GPIO[3]			
	QSPI_CLK	下拉	启用	QSPI_CLK	GPIO[4]	R.CAN1_TXD	R.GPIO[4]			
	QSPI_CS0	上拉	启用	QSPI_CS0	GPIO[5]	R.CAN1_RXD	R.GPIO[5]		I2C3_SCL	
	QSPI_CS1	上拉	启用	QSPI_CS1	GPIO[6]				I2C3_SDA	
SD/MMC1 1.8V/3.3V	MMC1_DAT3	上拉	启用	MMC1_DAT[3]	GPIO[93]	UART0_TXD	R.GPIO[6]	R.UART0_TXD	PRI_TDI	
	MMC1_DAT2	上拉	启用	MMC1_DAT[2]	GPIO[94]	UART0_RXD	R.GPIO[7]	R.UART0_RXD	PRI_TMS	
	MMC1_DAT1	上拉	启用	MMC1_DAT[1]	GPIO[95]	UART2_TXD	R.GPIO[8]	PWM2	PRI_TDO	
	MMC1_DAT0	上拉	启用	MMC1_DAT[0]	GPIO[96]	UART2_RXD	R.GPIO[9]	PWM3		
	MMC1_CMD	上拉	启用	MMC1_CMD	GPIO[97]	UART2_CTS	R.GPIO[10]	PWM4		I2C4_SCL
	MMC1_CLK	下拉	启用	MMC1_CLK	GPIO[98]	UART2_RTS	R.GPIO[11]	PWM5	PRI_TCK	I2C4_SDA
PMIC [1.8V only]	RESET_IN_N	上拉	NO	RESET_IN_N				PWM10		
	EXT_32K_IN	下拉	NO	EXT_32K_IN				PWM11		
	PWR_SCL	上拉	启用	PWR_SCL	R_PWR_SCL			PWM12		
	PWR_SDA	上拉	启用	PWR_SDA	R_PWR_SDA			PWM13		

接口组	引脚名称	默认上下拉	边沿唤醒功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
	VCXO_EN	NO	启用	VCXO_EN				PWM14		
	PMIC_WDT_N	上拉	NO	PMIC_WDT_N				PWM15		
	PMIC_INT_N	上拉	启用	PMIC_INT_N				PWM16		
	PWR_SSP_TXD	上拉	启用	PWR_SSP_TXD	GPIO[120]	I2C6_SCL				
	PWR_SSP_RXD	上拉	启用	PWR_SSP_RXD	GPIO[121]	I2C6_SDA				
	PWR_SSP_SCLK	上拉	启用	PWR_SSP_SCLK	GPIO[122]	UART0_TXD				
	PWR_SSP_FRM	上拉	启用	PWR_SSP_FRM	GPIO[123]	UART0_RXD				
	PRI_TDI	上拉	NO	PRI_TDI	GPIO[124]	R.GPIO[17]	PWM6	UART5_TXD	UART0_TXD	R.UART0_TXD
	PRI_TMS	上拉	NO	PRI_TMS	GPIO[125]	R.GPIO[14]	PWM7	UART5_RXD	UART0_RXD	R.UART0_RXD
	PRI_TCK	下拉	NO	PRI_TCK	GPIO[126]	R.GPIO[15]	PWM8	UART9_TXD		
	PRI_TDO	上拉	NO	PRI_TDO	GPIO[127]	R.GPIO[16]	PWM9	UART9_RXD		
	PRI_TRST_N	上拉	NO	PRI_TRSTn						
EMMC5 [1.8V only]	EMMC_D0			EMMC_D0	GPIO[32]					
	EMMC_D1			EMMC_D1	GPIO[33]					
	EMMC_D2			EMMC_D2	GPIO[34]					
	EMMC_D3			EMMC_D3	GPIO[35]					
	EMMC_D4			EMMC_D4	GPIO[36]					

接口组	引脚名称	默认上下拉	边沿唤醒功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
	EMMC_D5			EMMC_D5	R.GPIO[8]					
	EMMC_D6			EMMC_D6	R.GPIO[9]					
	EMMC_D7			EMMC_D7	R.GPIO[10]					
	EMMC_DS			EMMC_DS	R.GPIO[11]					
	EMMC_CLK			EMMC_CLK	R.GPIO[12]					
	EMMC_CMD			EMMC_CMD	R.GPIO[13]					

接口组	引脚名称	默认上下拉	边沿唤醒功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
GPIO1 1.8V/3.3V	GPIO_[0]	下拉	启用	GPIO[0]	GMAC0_RXDV	SSPA5_CLK	PWM0	IR1_RX	eSPI0_D0	I2C0_SCL
	GPIO_[1]	下拉	启用	GPIO[1]	GMAC0_RX_D0	SSPA5_FRM	PWM1	R.IR1_RX	eSPI0_D1	I2C0_SDA
	GPIO_[2]	下拉	启用	GPIO[2]	GMAC0_RX_D1	SSPA5_TXD	PWM2		eSPI0_D2	I2C1_SCL
	GPIO_[3]	下拉	启用	GPIO[3]	GMAC0_RX_CLK	SSPA5_RXD	PWM3	PCleD_PERSTn	eSPI0_D3	I2C1_SDA
	GPIO_[4]	下拉	启用	GPIO[4]	GMAC0_RX_D2	SSPA5_SYSCLK	PWM4	PCleD_WAKEn	eSPI0_CS	

接口组	引脚名称	默认上 下拉	边沿唤醒 功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
	GPIO_[5]	下拉	启用	GPIO[5]	GMAC0_RX_D3		PWM5	PCleD_CLKRE Qn	eSPI0_CLK	I2C2_SCL
	GPIO_[6]	下拉	启用	GPIO[6]	GMAC0_TX_D0	R.SSPA0_CLK	PWM6	PCleD_PRSNT 2n	eSPI0_RESET N	I2C2_SDA
	GPIO_[7]	下拉	启用	GPIO[7]	GMAC0_TX_D1	R.SSPA0_FRM	PWM7	PCleD_ATTn	eSPI0_ALERT	I2C6_SCL
	GPIO_[8]	下拉	启用	GPIO[8]	GMAC0_TX_CLK	R.SSPA0_TXD	PWM8	PCleD_PWRCT n		I2C6_SDA
	GPIO_[9]	下拉	启用	GPIO[9]	GMAC0_TX_D2	R.SSPA0_RXD	PWM9	PCleD_AUXEn		e/DP0_HPD
	GPIO_[10]	下拉	启用	GPIO[10]	GMAC0_TX_D3	R.SSPA0_SYS CLK	PWM10	PCleD_PWRDe t		e/DP1_HPD
	GPIO_[11]	下拉	启用	GPIO[11]	GMAC0_TX_EN	UART7_RTSn	CAN0_TXD		UART8_RXD	I2C4_SCL
	GPIO_[12]	下拉	启用	GPIO[12]	GMAC0_MDC	UART7_CTSn	CAN0_RXD	PCleC_PERST n	UART8_TXD	I2C4_SDA
	GPIO_[13]	下拉	启用	GPIO[13]	GMAC0_MDIO	UART7_TXD	PWM13	PCleC_WAKEEn	CLK_CAMCK1	DSI0_TE
	GPIO_[14]	下拉	启用	GPIO[14]	GMAC0_INT_N	UART7_RXD	PWM14	PCleC_CLKRE Qn	MNCLK_OUT1	I2C6_SCL
	GPIO_[15]	下拉	启用	GPIO[15]	GMAC0_RXER	SSPA1_CLK	R.PWM0	PCleC_PRSNT 2n	MNCLK_OUT2	I2C6_SDA

接口组	引脚名称	默认上 下拉	边沿唤醒 功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
	GPIO_[16]	下拉	启用	GPIO[16]	GMAC0_TXER	SSPA1_FRM	R.PWM1	PCleC_ATTn		USB20_HOST_D RV
	GPIO_[17]	下拉	启用	GPIO[17]	GMAC0_CRS	SSPA1_TXD	R.PWM2	PCleC_PWRCT n	R.UART1_TXD	USB30_DRD_ID
	GPIO_[18]	下拉	启用	GPIO[18]	GMAC0_COL	SSPA1_RXD	R.PWM3	PCleC_AUXen	R.UART1_RXD	USB30_DRD_V BUSON
	GPIO_[19]	下拉	启用	GPIO[19]	GMAC0_PPS	SSPA1_SYSC LK	R.PWM4	PCleC_PWRDe t	R.UART1_CTS n	USB30_DRD_D RV
	GPIO_[20]	下拉	启用	GPIO[20]	GMAC0_CLK_REF		R.PWM5		R.UART1_RTS n	USB30_D_DRV
GPIO2 1.8V/3.3V	GPIO_[21]	下拉	启用	GPIO[21]	GMAC1_RXDV	UART5_TXD	PWM15	PCleB_PERST n	R.UART4_TXD	R.GPIO[28]
	GPIO_[22]	下拉	启用	GPIO[22]	GMAC1_RX_D0	UART5_RXD	PWM16	PCleB_WAKEn	R.UART4_RXD	R.GPIO[29]
	GPIO_[23]	下拉	启用	GPIO[23]	GMAC1_RX_D1	UART5_CTS	PWM17	PCleB_CLKRE Qn	UART7_TXD	e/DP0_HP
	GPIO_[24]	下拉	启用	GPIO[24]	GMAC1_RX_CLK	UART5_RTS	PWM18	PCleB_PRSENT 2n	UART7_RXD	e/DP1_HP
	GPIO_[25]	下拉	启用	GPIO[25]	GMAC1_RX_D2		PWM19	PCleC_PERST n	UART7_CTSn	I2C5_SDA
	GPIO_[26]	下拉	启用	GPIO[26]	GMAC1_RX_D3	UART3_TXD		PCleC_WAKEn	UART7_RTSn	I2C5_SCL

接口组	引脚名称	默认上 下拉	边沿唤醒 功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
	GPIO_[27]	下拉	启用	GPIO[27]	GMAC1_TX_D0	UART3_RXD	R.PWM0	PCIeC_CLKRE Qn	USB30_D_DRV	R.I2C0_SCL
	GPIO_[28]	下拉	启用	GPIO[28]	GMAC1_TX_D1	UART3_CTS	R.PWM1	PCIeC_PRSENT 2n	SSP2_TXD	R.I2C0_SDA
	GPIO_[29]	下拉	启用	GPIO[29]	GMAC1_TX_CLK	UART3_RTS	R.PWM2		SSP2_RXD	
	GPIO_[30]	上拉	启用	GPIO[30]	GMAC1_TX_D2		R.PWM3		SSP2_SCLK	eDP0_HPD
	GPIO_[31]	上拉	启用	GPIO[31]	GMAC1_TX_D3	UART10_TXD	R.PWM4	PCIeE_PERST n	SSP2_FRM	eDP1_HPD
	GPIO_[32]	上拉	启用	GPIO[32]	GMAC1_TX_EN	UART10_RXD	R.PWM5	PCIeE_WAKEn	SSP1_TXD	
	GPIO_[33]	上拉	启用	GPIO[33]	GMAC1_MDC	UART10_CTS	R.PWM6	PCIeE_CLKRE Qn	SSP1_RXD	R.I2C1_SCL
	GPIO_[34]	下拉	启用	GPIO[34]	GMAC1_MDIO	UART10_RTS	R.PWM7	CLK_CAMCK2	SSP1_SCLK	R.I2C1_SDA
	GPIO_[35]	下拉	启用	GPIO[35]	GMAC1_INT_N		R.PWM8	CLK_CAMCK3	SSP1_FRM	
	GPIO_[36]	下拉	启用	GPIO[36]	GMAC1_CLK_REF	R.SSPA1_CLK	R.PWM9	I2C3_SCL		
	GPIO_[37]	下拉	启用	GPIO[37]	GMAC1_RXER	R.SSPA1_FRM		I2C3_SDA		
	GPIO_[38]	下拉	启用	GPIO[38]	GMAC1_TXER	R.SSPA1_TXD				DSI0_TE
	GPIO_[39]	下拉	启用	GPIO[39]	GMAC1_CRS	R.SSPA1_RXD	MNCLK_OUT1	R.I2C1_SCL	USB20_HOST_ DRV	

接口组	引脚名称	默认上 下拉	边沿唤醒 功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
	GPIO_[40]	下拉	启用	GPIO[40]	GMAC1_COL	R.SSPA1_SYS CLK	MNCLK_OUT2	R.I2C1_SDA	R.IR0_RX	CAN4_TXD
	GPIO_[41]	下拉	启用	GPIO[41]	GMAC1_PPS		CLK32K_OUT		IR0_RX	CAN4_RXD
GPIO3 [1.8V only]	GPIO_[42]	上拉	启用	GPIO[42]	GMAC2_RXDV	UART0_TXD		PCleA_PERST n	I2C0_SCL	PWM0
	GPIO_[43]	上拉	启用	GPIO[43]	GMAC2_RX_D0	UART0_RXD	CLK_CAMCK4	PCleA_WAKEn	I2C0_SDA	PWM1
	GPIO_[44]	上拉	启用	GPIO[44]	GMAC2_RX_D1	UART10_TXD	CAN0_TXD	PCleA_CLKRE Qn		PWM2
	GPIO_[45]	上拉	启用	GPIO[45]	GMAC2_RX_CLK	UART10_RXD	CAN0_RXD	PCleA_PRSENT 2n		PWM3
	GPIO_[46]	上拉	启用	GPIO[46]	GMAC2_RX_D2	UART10_CTSn	CLK_CAMCK1	PCleA_ATTn	I2C2_SCL	PWM4
	GPIO_[47]	上拉	启用	GPIO[47]	GMAC2_RX_D3	UART10_RTSn	CLK_CAMCK2	PCleA_PWRCT n	I2C2_SDA	PWM5
	GPIO_[48]	下拉	启用	GPIO[48]	GMAC2_TX_D0	UART6_TXD	CAN1_RXD	PCleA_AUXen	I2C0_SCL	PWM6
	GPIO_[49]	下拉	启用	GPIO[49]	GMAC2_TX_D1	UART6_RXD	CAN1_TXD	PCleA_PWRDe t	I2C0_SDA	PWM7
	GPIO_[50]	下拉	启用	GPIO[50]	GMAC2_TX_CLK	UART6_CTS	CAN2_TXD	PCleA_MRLn	I2C4_SCL	PWM8
	GPIO_[51]	下拉	启用	GPIO[51]	GMAC2_TX_D2	UART6_RTS	CAN2_RXD	PCleA_ATNLE D	I2C4_SDA	PWM9

接口组	引脚名称	默认上下拉	边沿唤醒功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
	GPIO_[52]	下拉	启用	GPIO[52]/Strap[5]	GMAC2_TX_D3			PCIeA_PWRLED	CLK_CAMCK3	PWM10
	GPIO_[53]	下拉	启用	GPIO[53]	GMAC2_TX_EN	UART3_CTSn	SSP0_TXD	PCIeA_EINT		PWM11
	GPIO_[54]	下拉	启用	GPIO[54]	GMAC2_MDC	UART3_RTSn	SSP0_RXD	PCIeA_EINTEG	I2C1_SCL	PWM12
	GPIO_[55]	下拉	启用	GPIO[55]	GMAC2_MDIO	UART3_RXD	SSP0_SCLK	R.UART3_RXD	I2C1_SDA	PWM13
	GPIO_[56]	下拉	启用	GPIO[56]	GMAC2_INT_N	UART3_TXD	SSP0_FRM	R.UART3_TXD		PWM14
	GPIO_[57]	下拉	启用	GPIO[57]	GMAC2_CLK_REF	R.UART2_TXD	R.CAN0_RXD	eDP0_HPD	R.I2C0_SCL	PWM15
	GPIO_[58]	下拉	启用	GPIO[58]	GMAC2_PPS	R.UART2_RXD	R.CAN0_TXD	PCIeC_PERSTn	R.I2C0_SDA	PWM16
	GPIO_[59]	下拉	启用	GPIO[59]	R.GMAC3_RXDV	R.UART5_TXD		PCIeC_WAKEn	R.I2C1_SCL	PWM17
	GPIO_[60]	上拉	启用	GPIO[60]	R.GMAC3_RX_D0	R.UART5_RXD	R.SSP0_TXD	PCIeC_CLKREQn	R.I2C1_SDA	PWM18
	GPIO_[61]	上拉	启用	GPIO[61]	R.GMAC3_RX_D1		R.SSP0_RXD	PCIeC_PRSENTn	I2C6_SCL	PWM19
	GPIO_[62]	下拉	启用	GPIO[62]	R.GMAC3_RX_CLK		R.SSP0_SCLK	PCIeC_ATTn	I2C6_SDA	
	GPIO_[63]	下拉	启用	GPIO[63]	R.GMAC3_RX_D2	R.GPIO[18]	R.SSP0_FRM	PCIeC_PWRCTn	I2C5_SCL	
	GPIO_[64]	下拉	启用	GPIO[64]/Strap[4]	R.GMAC3_RX_D3	R.GPIO[19]	R.SSP1_TXD	PCIeC_AUXen	I2C5_SDA	R.PWM0

接口组	引脚名称	默认上 下拉	边沿唤醒 功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
	GPIO_[65]	下拉	启用	GPIO[65]/Strap[0]	R.GMAC3_TX_D0	R.GPIO[20]	R.SSP1_RXD			R.PWM1
	GPIO_[66]	下拉	启用	GPIO[66]/Strap[1]	R.GMAC3_TX_D1	R.GPIO[21]	R.SSP1_SCLK			R.PWM2
	GPIO_[67]	下拉	启用	GPIO[67]	R.GMAC3_TX_CLK	R.GPIO[22]	R.SSP1_FRM	CLK_CAMCK4	PCIeC_PWRDe t	R.PWM3
	GPIO_[68]	下拉	启用	GPIO[68]/Strap[2]	R.GMAC3_TX_D2		eSPI0_D0			SSP3_TXD
	GPIO_[69]	下拉	启用	GPIO[69]/Strap[3]	R.GMAC3_TX_D3	SSPA4_CLK	eSPI0_D1			SSP3_RXD
	GPIO_[70]	上拉	启用	GPIO[70]	R.GMAC3_TX_EN	SSPA4_FRM	eSPI0_D2	IR1_RX	MNCLK_OUT1	SSP3_SCLK
	GPIO_[71]	上拉	启用	GPIO[71]	R.GMAC3_MDC	SSPA4_TXD	eSPI0_D3	R.IR0_RX	MNCLK_OUT2	SSP3_FRM
	GPIO_[72]	上拉	启用	GPIO[72]	R.GMAC3_MDIO	SSPA4_RXD	eSPI0_CS	e/DP1_HPD	DSI0_TE	
	GPIO_[73]	上拉	启用	GPIO[73]	R.GMAC3_INT_N	SSPA4_SYSCLK	eSPI0_CLK	R.IR1_RX	USB20_HOST_ DRV	
	GPIO_[74]	下拉	启用	GPIO[74]	R.GMAC3_CLK_RE F	CLK_CAMCK2	eSPI0_RESETN	VCXO_REQ	USB30H-1_DR V	R.I2C0_SCL
	GPIO_[75]	下拉	启用	GPIO[75]	R.GMAC3_PPS	CLK_CAMCK1	eSPI0_ALERT	VCXO_OUT	USB30H-2_DR V	R.I2C0_SDA

接口组	引脚名称	默认上 下拉	边沿唤醒 功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
GPIO4 1.8V/3.3V	GPIO_[76]	下拉	启用	GPIO[76]	R.SSPA0_CLK	SSPA2_CLK	UART8_TXD	CAN0_TXD	PCIEE_PERST n	I2C0_SCL
	GPIO_[77]	下拉	启用	GPIO[77]	R.SSPA0_FRM	SSPA2_FRM	UART8_RXD	CAN0_RXD	PCIEE_WAKEn	I2C0_SDA
	GPIO_[78]	下拉	启用	GPIO[78]	R.SSPA0_TXD	SSPA2_TXD	UART8_CTS		PCIEE_CLKRE Qn	I2C1_SCL
	GPIO_[79]	下拉	启用	GPIO[79]	R.SSPA0_RXD	SSPA2_RXD	UART8_RTS		PCIEA_PERST n	I2C1_SDA
	GPIO_[80]	下拉	启用	GPIO[80]	R.SSPA0_SYSCCLK	SSPA2_SYSCCLK	R.UART4_TXD	CAN3_RXD	PCIEA_WAKEn	I2C2_SCL
	GPIO_[81]	下拉	启用	GPIO[81]	SSP0_TXD	SSPA0_CLK	R.UART4_RXD	CAN3_TXD	PCIEA_CLKRE Qn	I2C2_SDA
	GPIO_[82]	下拉	启用	GPIO[82]	SSP0_RXD	SSPA0_FRM	UART9_CTSn	UART5_RXD	PCIEA_PRSENT 2n	I2C3_SCL
	GPIO_[83]	下拉	启用	GPIO[83]	SSP0_SCLK	SSPA0_TXD	UART9_RTSn	UART5_TXD	PCIEA_ATTn	I2C3_SDA
	GPIO_[84]	下拉	启用	GPIO[84]	SSP0_FRM	SSPA0_RXD	UART9_TXD	USB30_B_DRV	PCIEA_PWRCT n	DSIO_TE
	GPIO_[85]	下拉	启用	GPIO[85]	CLK_CAMCK3	SSPA0_SYSCCLK	UART9_RXD	USB30_C_DRV	PCIEA_AUXen	
	GPIO_[86]	下拉	启用	GPIO[86]	R.SSP0_TXD	R.eSPI0_D0	UART4_TXD	CAN2_TXD	PCIEA_PWRDe t	USB30_DRD_DI R

接口组	引脚名称	默认上 下拉	边沿唤醒 功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
	GPIO_[87]	下拉	启用	GPIO[87]	R.SSP0_RXD	R.eSPI0_D1	UART4_RXD	CAN2_RXD	PCleA_MRLn	PCleB_PRSENT2 n
	GPIO_[88]	下拉	启用	GPIO[88]	R.SSP0_SCLK	R.eSPI0_D2	R.UART3_TXD	PCleB_PERST n	PCleA_ATNLE D	CAN1_RXD
	GPIO_[89]	下拉	启用	GPIO[89]	R.SSP0_FRM	R.eSPI0_D3	R.UART3_RXD	PCleB_WAKEn	PCleA_PWRLE D	CAN1_TXD
	GPIO_[90]	下拉	启用	GPIO[90]	DSI0_TE	R.eSPI0_CS	UART4_CTSn	PCleB_CLKRE Qn	PCleA_EINT	R.CAN0_RXD
	GPIO_[91]	下拉	启用	GPIO[91]	R.GPIO[23]	R.eSPI0_CLK	UART4_RTSn	eSPI0_D0	PCleA_EINTEG	R.CAN0_TXD
	GPIO_[92]	下拉	启用	GPIO[92]	R.GPIO[24]	R.eSPI0_RESE TN		eSPI0_D1	R.PWM5	DSI0_TE
	GPIO_[93]	上拉	启用	GPIO[93]	R.GPIO[25]	R.eSPI0_ALER T	UART0_TXD	eSPI0_D2	I2C5_SCL	R.PWM4
	GPIO_[94]	下拉	启用	GPIO[94]	R.GPIO[26]		UART0_RXD	eSPI0_D3	I2C5_SDA	R.PWM6
	GPIO_[95]	下拉	启用	GPIO[95]	R.GPIO[27]	UART1_TXD<s ecure domain>	USB30_DRD_ID	eSPI0_CS		PWM1
	GPIO_[96]	下拉	启用	GPIO[96]		UART1_RXD<s ecure domain>	USB30_DRD_V BUSON	eSPI0_CLK		PWM2
	GPIO_[97]	下拉	启用	GPIO[97]	UART2_TXD	UART1_CTS<s ecure domain>	USB30_DRD_D RV	eSPI0_RESET N	e/DP0_HPD	PWM3

接口组	引脚名称	默认上 下拉	边沿唤醒 功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
	GPIO_[98]	下拉	启用	GPIO[98]	UART2_RXD	UART1_RTS<s ecure domain>	CLK32K_OUT	eSPI0_ALERT	e/DP1_HPDP	
GPIO5 1.8V/3.3V	GPIO_[99]	下拉	启用	GPIO[99]	SSP3_TXD	SSPA3_CLK	UART4_TXD	R.CAN2_TXD		CLK_CAMCK4
	GPIO_[100]	下拉	启用	GPIO[100]	SSP3_RXD	SSPA3_FRM	UART4_RXD	R.CAN2_RXD	PCleD_PRSNT 2n	CLK32K_OUT
	GPIO_[101]	下拉	启用	GPIO[101]	SSP3_SCLK	SSPA3_TXD	UART4_CTS	CAN4_RXD	PCleD_ATTn	MNCLK_OUT1
	GPIO_[102]	下拉	启用	GPIO[102]	SSP3_FRM	SSPA3_RXD	UART4_RTS	CAN4_TXD	PCleD_PWRCT n	I2C1_SCL
	GPIO_[103]	下拉	启用	GPIO[103]		SSPA3_SYSCLK	USB20_HOST_ DRV	CAN3_TXD	PCleD_AUXEn	I2C1_SDA
	GPIO_[104]	下拉	启用	GPIO[104]	SSP0_TXD	SSP2_TXD	USB30H-1_DRV	CAN3_RXD	PCleD_PWRDe t	
	GPIO_[105]	下拉	启用	GPIO[105]	SSP0_RXD	SSP2_RXD	R.I2C1_SCL	I2C3_SCL	PCleD_PERST n	PWM17
	GPIO_[106]	下拉	启用	GPIO[106]	SSP0_SCLK	SSP2_SCLK	R.I2C1_SDA	I2C3_SDA	PCleD_WAKEn	PWM18
	GPIO_[107]	下拉	启用	GPIO[107]	SSP0_FRM	SSP2_FRM	R.CAN4_TXD	USB30_DRD_D IR	PCleD_CLKRE Qn	PWM19
	GPIO_[108]	下拉	启用	GPIO[108]	R.SSP1_TXD	USB20_HOST_ DRV	R.CAN4_RXD	IR0_RX	PCleA_PERST n	

接口组	引脚名称	默认上 下拉	边沿唤醒 功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
	GPIO_[109]	下拉	启用	GPIO[109]	R.SSP1_RXD		R.UART0_TXD	CAN1_TXD	PCIeA_WAKEn	R.PWM6
	GPIO_[110]	下拉	启用	GPIO[110]			R.UART0_RXD	CAN1_RXD	PCIeA_CLKRE Qn	R.PWM7
	GPIO_[111]	下拉	启用	GPIO[111]	SSP1_TXD	SSPA0_CLK	ucie_deSCL	I2C4_SCL	USB30_DRD_I NT	R.PWM8
	GPIO_[112]	下拉	启用	GPIO[112]	SSP1_RXD	SSPA0_FRM	ucie_deSDA	I2C4_SDA	USB30_D_DRV	R.PWM9
	GPIO_[113]	下拉	启用	GPIO[113]	SSP1_SCLK	SSPA0_TXD	R.GPIO[30]		PCIeB_PERST n	
	GPIO_[114]	下拉	启用	GPIO[114]	SSP1_FRM	SSPA0_RXD	R.GPIO[31]		PCIeB_WAKEn	
	GPIO_[115]	下拉	启用	GPIO[115]		SSPA0_SYSCLK	R.GPIO[32]	I2C0_SCL	PCIeB_CLKRE Qn	R.I2C0_SCL
	GPIO_[116]	下拉	启用	GPIO[116]	R.SSP1_SCLK	USB30_DRD_I D	R.GPIO[33]	I2C0_SDA	PCIeB_PRSENT 2n	R.I2C0_SDA
	GPIO_[117]	下拉	启用	GPIO[117]	R.SSP1_FRM	USB30_DRD_V BUSON	R.GPIO[34]		PCIeB_ATTn	
	GPIO_[118]	下拉	启用	GPIO[118]	UART1_RTSn<secu re domain>	USB30_DRD_D RV	R.GPIO[35]		PCIeB_PWRCT n	
	GPIO_[119]	下拉	启用	GPIO[119]	UART1_CTSn<secu re domain>	USB30_DRD_I NT			PCIeB_AUXEn	

接口组	引脚名称	默认上 下拉	边沿唤醒 功能	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6
	GPIO_[120]	上拉	启用	GPIO[120]	UART1_RXD<secure domain>	I2C2_SCL	R.CAN3_TXD	CAN4_TXD	PCleB_PWRDe t	
	GPIO_[121]	上拉	启用	GPIO[121]	UART1_TXD<secure domain>	I2C2_SDA	R.CAN3_RXD	CAN4_RXD	PCleB_MRLn	
	GPIO_[122]	上拉	启用	GPIO[122]	MMC2_DAT[3]	SSPA1_CLK	UART6_TXD	R.UART0_TXD	PCleB_ATNLE D	
	GPIO_[123]	上拉	启用	GPIO[123]	MMC2_DAT[2]	SSPA1_FRM	UART6_RXD	R.UART0_RXD	PCleB_PWRLE D	
	GPIO_[124]	上拉	启用	GPIO[124]	MMC2_DAT[1]	SSPA1_TXD	PCleD_PERSTn	e/DP0_HPD	PCleB_EINT	
	GPIO_[125]	上拉	启用	GPIO[125]	MMC2_DAT[0]	SSPA1_RXD	PCleD_WAKEn	e/DP1_HPD	PCleB_EINTEG	
	GPIO_[126]	上拉	启用	GPIO[126]	MMC2_CMD	SSPA1_SYSCLK	PCleD_CLKRE Qn	I2C5_SCL		
	GPIO_[127]	下拉	启用	GPIO[127]	MMC2_CLK		PCleD_PRSENT2 n	I2C5_SDA		USB30_C_DRV

5. 电气特性

5.1. 引脚交流/直流工作条件

下表列出了推荐的工作条件。

模块	符号/引脚	最小值	典型值	最大值	单位
CPU	VDD08_X100	0.72	0.8	1.05	V
	VDD08_M1A100	0.72	0.8	0.88	V
PLL	AVDD08_PLL1	0.76	0.8	0.88	V
	AVDD08_PLL234	0.76	0.8	0.88	V
	AVDD08_PLL567	0.76	0.8	0.88	V
	AVDD18_PLL1	1.71	1.8	1.96	V
	AVDD18_PLL234	1.71	1.8	1.96	V
	AVDD18_PLL567	1.71	1.8	1.96	V
PLL-DDR	AVDD08_PLL_DDR0	0.76	0.8	0.88	V
	AVDD08_PLL_DDR1	0.76	0.8	0.88	V
	AVDD1V8_PLL_DDR0	1.71	1.8	1.96	V
	AVDD1V8_PLL_DDR1	1.71	1.8	1.96	V
CSI	AVDD08_CSI0	0.76	0.8	0.88	V
	AVDD08_CSI1	0.76	0.8	0.88	V
	AVDD08_CSI2	0.76	0.8	0.88	V
	AVDD18_CSI0	1.71	1.8	1.96	V
	AVDD18_CSI1	1.71	1.8	1.96	V
	AVDD18_CSI2	1.71	1.8	1.96	V
DDR	VAA1V8_VDD2H_DDR	1.674	1.8	1.98	V
	VDD2H_DDR	1.01/1.045 (LP5/LP4x)	1.05/1.1 (LP5/LP4x)	1.12/1.155 (LP5/LP4x)	V
	VDDQ_DDR	0.47/0.57 (LP5/LP4x)	0.5/0.6 (LP5/LP4x)	0.57/0.63 (LP5/LP4x)	V
	VDD0V8_DDR	0.744	0.8	0.88	V

模块	符号/引脚	最小值	典型值	最大值	单位
DSI	AVDD08_DSI	0.76	0.8	0.88	V
	AVDD12_DSI	1.14	1.2	1.32	V
	AVDD18_DSI	1.71	1.8	1.96	V
EDP	AVDD18_EDP0	1.674	1.8	1.98	V
	DVDD08_EDP0	0.744	0.8	0.88	V
EDP1	AVDD18_EDP1	1.674	1.8	1.98	V
	DVDD08_EDP1	0.744	0.8	0.88	V
EMMC	AVDD08_EMMC	0.744	0.8	0.88	V
	VCC18_EMMC	1.674	1.8	1.98	V
FUSE	FUSE_AVDD18	1.71	1.8	1.96	V
GPIO	VCC18_GPIO1	1.674	1.8	1.98	V
	VCC18_GPIO2	1.674	1.8	1.98	V
	VCC18_GPIO3	1.674	1.8	1.98	V
	VCC18_GPIO4	1.674	1.8	1.98	V
	VCC18_GPIO5	1.674	1.8	1.98	V
	VCC18_PMIC	1.674	1.8	1.98	V
	VCC1833_GPIO1	1.674/2.97	1.8/3.3	1.98/3.63	V
	VCC1833_GPIO2	1.674/2.97	1.8/3.3	1.98/3.63	V
	VCC1833_GPIO4	1.674/2.97	1.8/3.3	1.98/3.63	V
	VCC1833_GPIO5	1.674/2.97	1.8/3.3	1.98/3.63	V
	VCC1833_QSPI	1.674/2.97	1.8/3.3	1.98/3.63	V
	VCC1833_MMC1	1.674/2.97	1.8/3.3	1.98/3.63	V
OSC	AVDD08_OSC	0.76	0.8	0.88	V
	AVDD18_OSC	1.71	1.8	1.96	V
PICE PHY0	AVDD08_PCl eA	0.744	0.8	0.88	V
	AVDD18_PCl eA	1.674	1.8	1.98	V
PICE PHY1	AVDD08_PCl eB	0.744	0.8	0.88	V
	AVDD18_PCl eB	1.674	1.8	1.98	V

模块	符号/引脚	最小值	典型值	最大值	单位
PICE PHY2	AVDD08_PClcC/USB3-B	0.744	0.8	0.88	V
	AVDD18_PClcC/USB3-B	1.674	1.8	1.98	V
PICE PHY3	AVDD08_PClcD/USB3-C	0.744	0.8	0.88	V
	AVDD18_PClcD/USB3-C	1.674	1.8V	1.98	V
PICE PHY4	AVDD08_PClcE/USB3-D	0.744	0.8	0.88	V
	AVDD18_PClcE/USB3-D	1.674	1.8	1.98	V
PICE PHY5	AVDD08_PClc5	0.744	0.8	0.88	V
	AVDD18_PClc5	1.674	1.8	1.98	V
UCIE	UCIE_VCCAON_0V8	0.76	0.8	0.84	V
	UCIE_VCCIO_0V8	0.76	0.8	0.84	V
	UCIE_VCCPLL_1P2V	1.116	1.2	1.236	V
	UCIE_VDD_0V8	0.76	0.8	0.84	V
	UCIE_VDDBH_0V9	0.855	0.9	0.945	V
	UCIE_VDDVPH0_0V9	0.855	0.9	0.945	V
UFS	UFS_VCC_1V8	1.71	1.8	1.96	V
	UFS_VCCQ_1V2	1.14	1.2	1.32	V
	UFS_VDDU_0V8	0.76	0.8	0.88	V
USB2	AVDD08_B_USB20	0.744	0.8	0.88	V
	AVDD08_C_USB20	0.744	0.8	0.88	V
	AVDD08_D_USB20	0.744	0.8	0.88	V
	AVDD08_USB20_Host	0.744	0.8	0.88	V
	AVDD18_B_USB20	1.674	1.8	1.98	V
	AVDD18_C_USB20	1.674	1.8	1.98	V
	AVDD18_D_USB20	1.674	1.8	1.98	V
	AVDD18_USB20_Host	1.674	1.8	1.98	V
	AVDD33_B_USB20	3.069	3.3	3.63	V
	AVDD33_C_USB20	3.069	3.3	3.63	V
	AVDD33_D_USB20	3.069	3.3	3.63	V

模块	符号/引脚	最小值	典型值	最大值	单位
	AVDD33_DRD_USB	3.069	3.3	3.63	V
	AVDD33_USB20_Host	3.069	3.3	3.63	V
USB3-DRD	AVDD08_DRD_USB	0.744	0.8	0.88	V
	AVDD18_DRD_USB	1.674	1.8	1.98	V

5.2. 绝对最大直流额定值

5.2.1. 引脚参数

模块	符号/引脚	最小值	最大值	单位
CPU	VDD08_X100	-0.3	1.05	V
	VDD08_M1A100	-0.3	0.88	V
Digital Power	VCC_M1	-0.3	0.88	V
PLL	AVDD08_PLL1	-0.3	0.88	V
	AVDD08_PLL234	-0.3	0.88	V
	AVDD08_PLL567	-0.3	0.88	V
	AVDD18_PLL1	-0.3	1.96	V
	AVDD18_PLL234	-0.3	1.96	V
	AVDD18_PLL567	-0.3	1.96	V
PLL-DDR	AVDD08_PLL_DDR0	-0.3	0.88	V
	AVDD08_PLL_DDR1	-0.3	0.88	V
	AVDD1V8_PLL_DDR0	-0.3	1.96	V
	AVDD1V8_PLL_DDR1	-0.3	1.96	V
CSI	AVDD08_CSI0	-0.3	0.88	V
	AVDD08_CSI1	-0.3	0.88	V
	AVDD08_CSI2	-0.3	0.88	V
	AVDD18_CSI0	-0.3	1.96	V
	AVDD18_CSI1	-0.3	1.96	V
	AVDD18_CSI2	-0.3	1.96	V

模块	符号/引脚	最小值	最大值	单位
DDR	VAA1V8_VDD2H_DDR	-0.3	1.98	V
	VDD2H_DDR	-0.3	1.12	V
	VDDQ_DDR	-0.3	0.57	V
	VDD0V8_DDR	-0.3	0.88	V
DSI	AVDD08_DSI	-0.3	0.88	V
	AVDD12_DSI	-0.3	1.32	V
	AVDD18_DSI	-0.3	1.96	V
EDP	AVDD18_EDP0	-0.3	1.98	V
	DVDD08_EDP0	-0.3	0.88	V
EDP1	AVDD18_EDP1	-0.3	1.98	V
	DVDD08_EDP1	-0.3	0.88	V
EMMC	AVDD08_EMMC	-0.3	0.88	V
	VCC18_EMMC	-0.3	1.98	V
FUSE	FUSE_AVDD18	-0.3	1.96	V
GPIO	VCC18_GPIO1	-0.3	1.98	V
	VCC18_GPIO2	-0.3	1.98	V
	VCC18_GPIO3	-0.3	1.98	V
	VCC18_GPIO4	-0.3	1.98	V
	VCC18_GPIO5	-0.3	1.98	V
	VCC18_PMIC	-0.3	1.98	V
	VCC1833_GPIO1	-0.3	1.98/3.63	V
	VCC1833_GPIO2	-0.3	1.98/3.63	V
	VCC1833_GPIO4	-0.3	1.98/3.63	V
	VCC1833_GPIO5	-0.3	1.98/3.63	V
	VCC1833_QSPI	-0.3	1.98/3.63	V
	VCC1833_MMC1	-0.3	1.98/3.63	V
OSC	AVDD08_OSC	-0.3	0.88	V
	AVDD18_OSC	-0.3	1.96	V

模块	符号/引脚	最小值	最大值	单位
PICE PHY0	AVDD08_PClcA	-0.3	0.88	V
	AVDD18_PClcA	-0.3	1.98	V
PICE PHY1	AVDD08_PClcB	-0.3	0.88	V
	AVDD18_PClcB	-0.3	1.98	V
PICE PHY2	AVDD08_PClcC/USB3-B	-0.3	0.88	V
	AVDD18_PClcC/USB3-B	-0.3	1.98	V
PICE PHY3	AVDD08_PClcD/USB3-C	-0.3	0.88	V
	AVDD18_PClcD/USB3-C	-0.3	1.98	V
PICE PHY4	AVDD08_PClcE/USB3-D	-0.3	0.88	V
	AVDD18_PClcE/USB3-D	-0.3	1.98	V
PICE PHY5	AVDD08_PClc5	-0.3	0.88	V
	AVDD18_PClc5	-0.3	1.98	V
UCIE	UCIE_VCCAON_0V8	-0.3	0.84	V
	UCIE_VCCIO_0V8	-0.3	0.84	V
	UCIE_VCCPLL_1P2V	-0.3	1.236	V
	UCIE_VDD_0V8	-0.3	0.84	V
	UCIE_VDDBH_0V9	-0.3	0.945	V
	UCIE_VDDVPH0_0V9	-0.3	0.945	V
UFS	UFS_VCC_1V8	-0.3	1.96	V
	UFS_VCCQ_1V2	-0.3	1.32	V
	UFS_VDDU_0V8	-0.3	0.88	V
USB2	AVDD08_B_USB20	-0.3	0.88	V
	AVDD08_C_USB20	-0.3	0.88	V
	AVDD08_D_USB20	-0.3	0.88	V
	AVDD08_USB20_Host	-0.3	0.88	V
	AVDD18_B_USB20	-0.3	1.98	V
	AVDD18_C_USB20	-0.3	1.98	V
	AVDD18_D_USB20	-0.3	1.9	V

模块	符号/引脚	最小值	最大值	单位
	AVDD18_USB20_Host	-0.3	1.98	V
	AVDD33_B_USB20	-0.3	3.63	V
	AVDD33_C_USB20	-0.3	3.63	V
	AVDD33_D_USB20	-0.3	3.63	V
	AVDD33_DRD_USB	-0.3	3.63	V
	AVDD33_USB20_Host	-0.3	3.63	V
USB3-DRD	AVDD08_DRD_USB	-0.3	0.88	V
	AVDD18_DRD_USB	-0.3	1.98	V

5.2.2. 封装参数

项目 (Item)	符号 (Symbol)	最小值 (Min)	最大值 (Max)
工作温度 (工业级标准)	Ta	-40°C	85°C
结温	Tj	N/A	125°C
存储温度	Tstg	-40°C	125°C

5.3. 热特性

热阻: 0.23°C/W (带散热盖)

5.4. 引脚最大电流

TBD

5.5. 上电/掉电时序

TBD

6. 回流焊温度曲线

TBD



浙江省杭州市余杭区五常街道未来
天空中心 B 座 701 室



www.spacemit.com

